

# E-band 帯送信用 MMIC チップセットの開発

與那嶺 淳\*・久保田 幹・馬場 修  
塚島 光路・徳満 恒雄・長谷川 裕一

Development of E-band Transmitter Chipset Using Wafer Level Chip Size Package Technology — by Atsushi Yonamine, Miki Kubota, Osamu Baba, Koji Tsukashima, Tsuneo Tokumitsu and Yuichi Hasegawa — We have developed a transmitter chipset using a new tripler, up-converter, and power amplifier. Monolithic Microwave Integrated Circuits (MMICs) of these devices are designed using our Wafer Level Chip Size Package (WLCSP) technology, and reflow-soldered on a 10 mm x 14 mm printed circuit board (PCB). The WLCSP technology enables the development of highly integrated package-free flip-chip MMICs suitable for surface mounting, and is therefore expected to reduce the production cost significantly. To achieve a high performance E-band chipset, 1) the amplifier is designed with dual or triple high electron mobility transistor (HEMT) topology with a variable gain scheme, 2) the tripler effectively cancels the second harmonic of input signals that otherwise leak into the E-band frequency, and 3) the up-converter uses a balanced resistive mixer and a pair of 90° broadside couplers. The transmitter that incorporates these new devices exhibits a high conversion gain of 22 dB and saturated output power level of 20 dBm at 81 GHz.

Keywords: 3D-MMIC, WLCSP, E-band, transmitter

## 1. 緒 言

近年、データ伝送量の増大に伴い、広い帯域幅を有し高い伝送レートを可能とする E-band 無線通信システムが注目されている。E-band 無線通信に割り当てられている周波数は 71～76 GHz、81～86 GHz と非常に高く、かつ広帯域であることから、この周波数帯域において低損失な実装形態を有する製品実現が重要となる。また、半田リフロー対応やパッケージレス化による、ミリ波モジュールのコスト低減に寄与することも重要な課題である。

本開発では、高集積化が可能な 3次元 Monolithic Microwave Integrated Circuit (MMIC) 技術<sup>(1),(2)</sup>と、低損失で実装簡略化とパッケージレスによるコスト低減が可能な Wafer Level Chip Size Package (WLCSP) 技術を適用して、3 通倍器 (Tripler)、アップコンバータ (Up Converter; U/C)、高出力増幅器 (Power Amplifier; PA) を開発するとともに、このチップセットを一つの Printed Circuit Board (PCB) に実装した E-band 帯送信用器の特性を評価し、良好な結果が得られたので、その概要と結果について報告する。

## 2. E-band 帯送信用 MMIC チップセットの構成

E-band 帯送信用 MMIC チップセットの写真を図 1 に示す。このチップセットは、3 通倍器、アップコンバータ、高出力増幅器の 3 種 5 チップの MMIC で構成されている。送信器の実装面積は 14 mm × 10 mm (図 1 中破線枠) である。

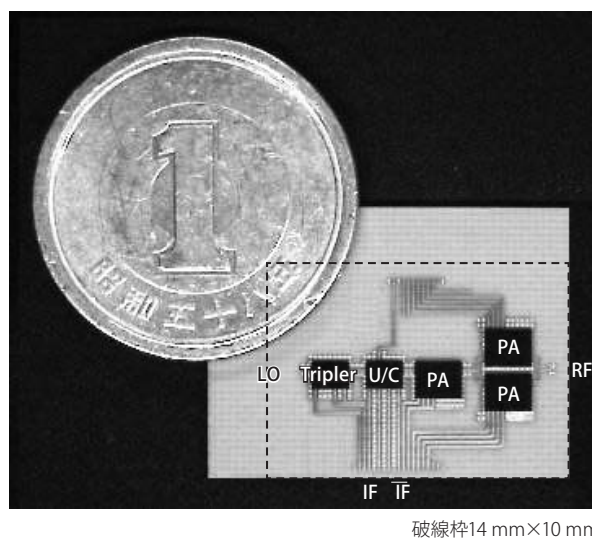


図 1 E-Band 帯送信用 MMIC チップセットの写真

図 2 は WLCSP の構造イメージ図である。4 層 Au 配線を有し、ポリイミド層で層間絶縁されている。配線の最上層であるチップ全面を覆うグラウンドパターンは、信号配線と逆構造マイクロストリップラインを構成するとともに、MMIC と PCB の相互干渉を抑圧する効果がある。チップ全面にアレー状に配置した多数のグラウンドパッドは、機械的ストレスやパラレルプレートモードを抑圧する。これら

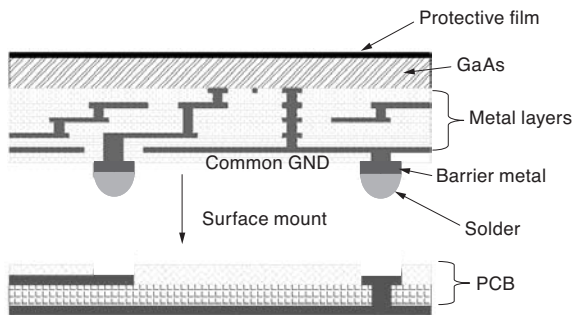


図2 WLCSPの構造イメージ図

の技術を適用することにより、ミリ波帯半導体デバイスをPCB上へ直接表面実装できる。WLCSP技術の特徴として高集積化、はんだ実装対応、パッケージレスなどが挙げられる(3)~(8)。

送信機のブロック構成図及び各MMICの構成要素を図3に示す。LO信号は3通倍器により65 GHzから92 GHzの周波数に変換され、アップコンバータに入力される。x3LO信号は、ミキサの変換利得を十分飽和させるまで増幅される。ミキサに入ったx3LO信号は、IF信号とかけあわされたRF周波数に変換され高出力増幅器に入力される。RF信号は高出力増幅器により増幅され、最終段では2並列合成された高出力増幅器で高い出力電力を実現している。

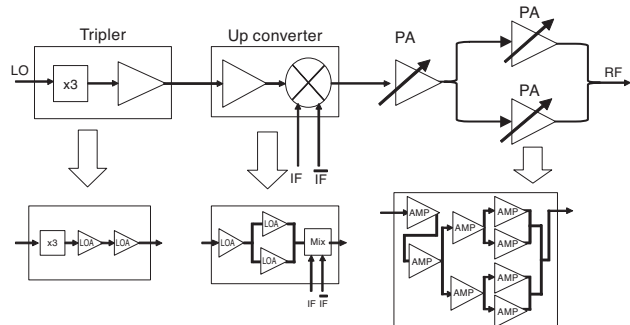


図3 送信機のブロック図と各機能MMICの構成図

### 3. 3通倍器とアップコンバータ

図4に3通倍器のチップ写真及び構成図、図5に3通倍回路図を示す。チップサイズは2.3 mm × 1.7 mmである。

3通倍器は、3通倍回路と2つのLO増幅器で構成されている。帯域内に影響を及ぼす不要な2倍波は、90度カップラと出力側の合成回路により位相が逆相合成され抑圧される。また、LO増幅器の帯域特性によって不要波はさらに抑えられており、外部でフィルタなどを使わずに3倍波を

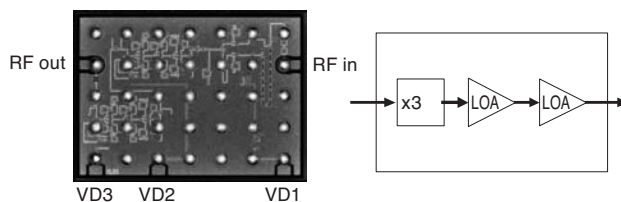


図4 3通倍器のチップ写真及び構成図  
(チップサイズ2.3 mm × 1.7 mm)

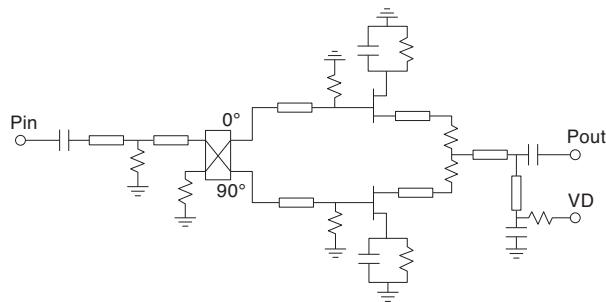


図5 3通倍回路図

得ることが出来る。LO増幅器は1電源で高い利得が得られるリユース型のTriple-HEMT<sup>\*1</sup>を使用している。

図6に3通倍器の実装写真及び出力周波数特性を示す。グラフには実装後の測定結果の2倍波、3倍波、4倍波をそれぞれ示している。所望の信号は65 GHz ~ 92 GHzにおいて広帯域で7 dB以上の安定な出力が得られており、不要波は所望の信号との差を15 dB以上実現している。

図7にアップコンバータのチップ写真及び構成図を示す。チップサイズは2.3 mm × 1.7 mmである。

アップコンバータはx3LO増幅器とバランスミキサで構成されている。x3LO増幅器はDual-HEMT<sup>\*1</sup>を使用しておりHEMTのゲート幅は広帯域を得られる40 μm × 4であ

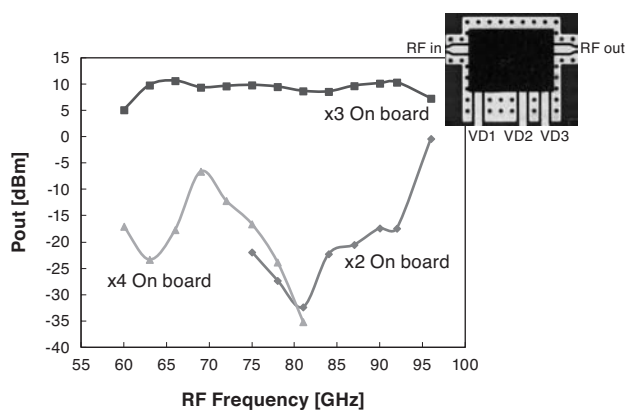


図6 3通倍器の実装写真及び出力特性

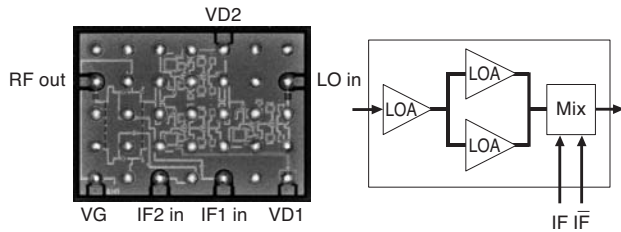


図7 アップコンバータのチップ写真及び構成図  
(チップサイズ2.3 mm × 1.7 mm)

る。ミキサの変換利得を十分に飽和させる 3xLO 電力を供給するため、2段目の x3LO 増幅器はウィルキンソンデバイダにより並列合成している。

図8にミキサ回路図を示す。バランスミキサは、二つのレジスティブミキサと二つの90度カップラを組み合わせ、RF出力端子からx3LO信号が漏れないようにローカルキャンセル機能を有している。

図9にアップコンバータの実装写真及び変換利得特性を示す。アップコンバータの変換利得は約-15 dBm@PinIF = -7 dBmである。このときのx3LOの周波数は91 GHzと96 GHzであり、IF周波数は6 GHz～18 GHzである。

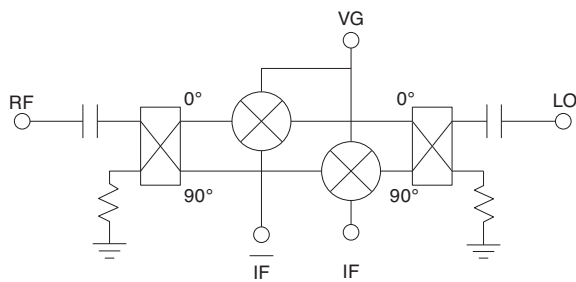


図8 ミキサ回路図

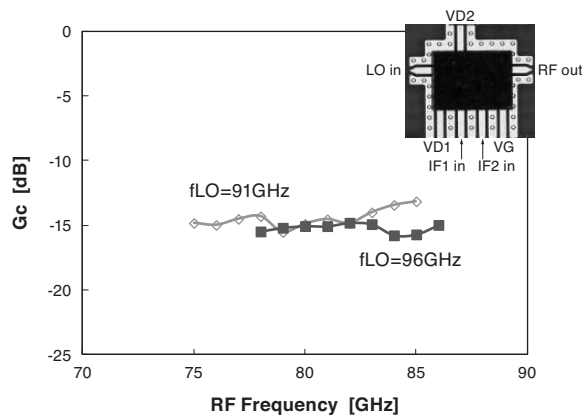


図9 アップコンバータの実装写真及び変換利得

#### 4. 高出力増幅器

図10に高出力増幅器のチップ写真及び構成図を示す。チップサイズは2.9 mm × 2.3 mmである。

高出力増幅器は高い出力特性を得るために単体増幅器を4並列合成しており、高い利得を得るために直列4段接続として、計8個の単体増幅器で構成している。図11に単体増幅器の回路図を示す。必要な利得が得られるように利得調整回路を有している。単体増幅器のHEMTのゲート幅は、高い出力を得るため50 μm × 6である。利得変動は、単体増幅器の初段HEMTのゲートバイアス (VG) により調整可能としており、2段目のHEMTのゲートバイアスは、回路内に配置されたブリーダ抵抗により設定される。

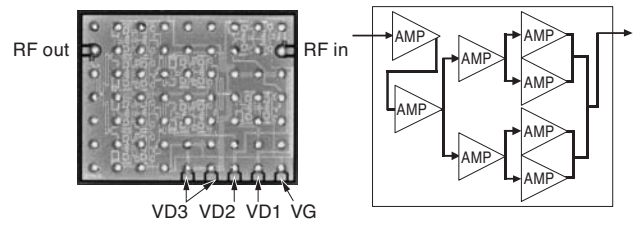


図10 高出力増幅器のチップ写真及び構成図  
(チップサイズ2.9 mm × 2.3 mm)

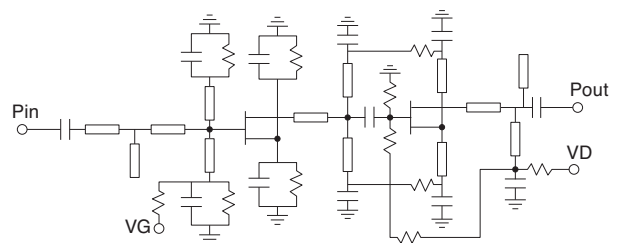


図11 単体増幅器の回路図

図12に高出力増幅器の実装写真及び小信号特性、図13に高出力増幅器の出力特性を示す。高出力増幅器の利得は20 dB@81 GHz～86 GHz、飽和出力電力は18.7 dBm@81 dBm、19.1 dBm@86 GHzである。バイアス条件は、ドレイン電圧6 V、ドレイン電流410 mAである。

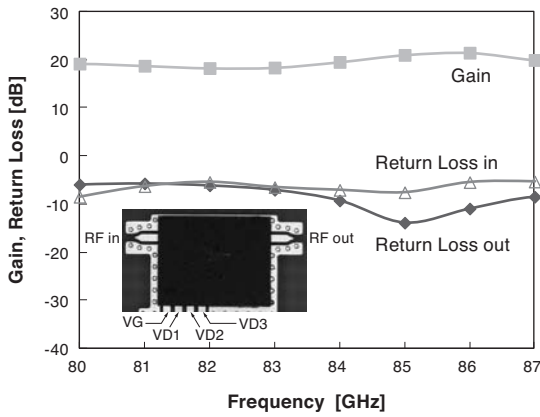


図12 高出力増幅器の実装写真及び小信号特性

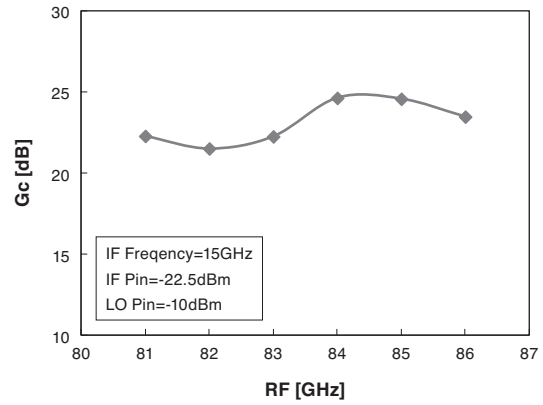


図14 送信器の変換利得

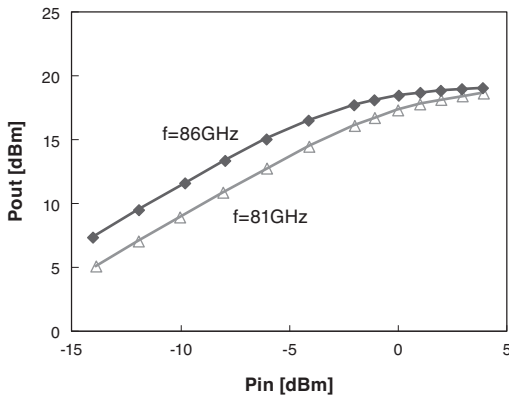


図13 高出力増幅器の出力特性

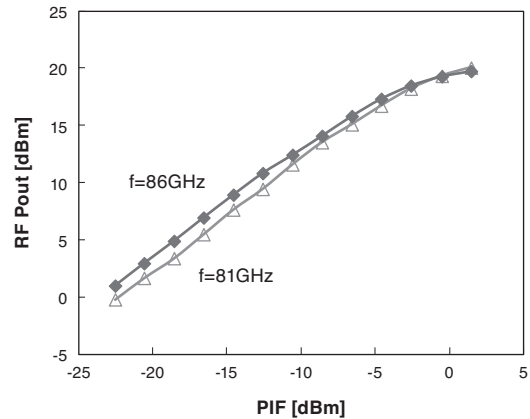


図15 送信器の出力特性

## 5. E-band 帯送信用 MMIC チップセットの特性

図1に示した送信器において、チップをPCBに実装すると、チップとPCBを接続する半田バンプとその周辺パターンに寄生容量などによるインピーダンスの変化により伝送特性が若干劣化するため、モジュール設計においては接合部のロスについて考慮する必要がある。今回の設計においては低誘電率で低誘電正接なPCBを用いて、バンプの受けパッド部の特性インピーダンスが50Ωになるように設計し、チップ間の接続には疑似コプレーナラインを用いている。

図14、図15に送信器の特性を評価した結果を示す。送信器の変換利得は22 dB、飽和出力電力は20.1 dBm@81 GHz、19.7 dBm@86 GHzである。消費電力は7.8 Wと良好な結果が得られた。

## 6. 結 言

E-band 帯送信用 MMIC チップセットの概要と評価結果について報告した。従来の E-band 製品に比べ、WLCSP 技術を適用したチップセットは量産性と低価格性のポテンシャルをもっている。E-band 帯送信用 MMIC チップセットは、PCB に3通倍器、アップコンバータ、高出力増幅器の3種5チップの MMIC を実装したものである。送信器の実装面積は 14 mm × 10 mm と非常に小型である。送信器の変換利得は 22 dB、飽和出力レベルはそれぞれ 20.1 dBm@81 GHz、19.7 dBm@86 GHz であった。消費電力は 7.8 W であった。当社として初めて E-band 送信器の特性が得られた。今後、さらなる高出力化を進める。

## 用語集

---

### ※1 Dual-HEMT、Triple-HEMT

カレントリユース型のトランジスタ構成でソース接地 HEMT を Dual-は2つ、Triple-は3つ組み合わせる。高利得化を目的に使用される。

### 参考文献

- (1) T. Tokumitsu, B. Piernas, A. Oya, K. Sakai and Y. Hasegawa, "K-band 3-D MMIC low noise amplifier and mixer using TFMS lines with ground slit", IEEE Microwave and Wireless Components Letters, vol. 15, No. 5, pp. 318-320 (May 2005)
  - (2) T. Tokumitsu, O. baba, K. Nito and Y. Hasegawa, "A 77GHz radar VCO using a three-dimensional x8 multiplier MMIC", GSMM2009, (April 2009)
  - (3) K. Tokumitsu, M. Kubota, O. baba, H. Tango, A. Yonamine, T. Tokumitsu and Y. Hasegawa, "Cost effective wafer level chip size package technology and application to the next generation automotive radar", 2010 European Microwave Conference Proc, pp. 280-283 (Sept. 2010)
  - (4) H-Q Tserng, L. Wtlwski, A. Ketterson, P. Saunier and T.Jones, "K/Ka-band low-noise embedded transmission line (ETL) MMIC amplifiers", in 1998 IEEE RFIC Symposium Dig., Baltimore., pp. 183-186 (June 1998)
  - (5) M. Imagawa, S. Fujita, T. Satoh, T. Tokumitsu and Y. Hasegawa, "Cost effective wafer-level chip size package technology and application for high speed wireless communications", 2009 European Microwave Conference Proc., pp. 49-52 (Sept. 2009)
  - (6) S. Fujita, M. Imagawa, T. Sato, T. Tokumitsu and Y. Hasegawa, "Cost effective, mass productive wafer-level chip size package (WLCSP) technology applied to Ku-band frequency converters", 2010 Asia-Pacific Microwave Conference Proc. (Dec. 2010)
  - (7) K. Tsukashima, M. Kubota, O. Baba, H. Tango, A. Yonamine, T. Tokumitsu and Y. Hasegawa, "Development of Low Cost Millimeter Wave MMIC", SEI TECHNICAL REVIEW, No. 72 (April 2011)
  - (8) T. Tokumitsu, "Three-Dimensional MMIC and Its Evolution to WLCSP Technology", SEI TECHNICAL REVIEW, No. 72 (April 2011)
- 

### 執筆者

與那嶺 淳\* : 伝送デバイス研究所



久保田 幹 : 伝送デバイス研究所 グループ長  
馬場 修 : 伝送デバイス研究所 主席  
塚島 光路 : 伝送デバイス研究所 主査  
徳満 恒雄 : 伝送デバイス研究所 技師長 博士 (工学)  
長谷川裕一 : 住友電工デバイス・イノベーション(株)  
電子デバイス事業部 事業部長

---

\*主執筆者