

# 高速化が進む電子機器製品開発へのシミュレーション設計技術の適用

木下 哲魯\*・澤井 由美子・植松 吉晃  
 岡山 昭稔・戌井 隆志

Application of Simulation Technology to the Development of High-Speed Electronics — by Tetsuro Kinoshita, Yumiko Sawai, Yoshiaki Uematsu, Akinori Okayama and Takashi Inui — As the signal processing speed of electronic devices increases, transmission capability over 10 Gbps has been required for printed wiring boards (PWBs). As electronic equipment has reduced in size and advanced in processing speed, the heat density of such equipment has increased. Since high accuracy is required for the integrity of several Gbps signals, we have combined the 3-D electromagnetic-field simulation with the signal integrity simulation. In the thermal simulations, we have increased the accuracy of the simulation by external environment reproduction, transient simulation, and modeling of the copper patterns for the printed circuit board. Thus, we have determined the optimal solution that meets the product specification. This paper describes the latest simulation technology (signal integrity, EMC, 3-D electromagnetic-field analysis, and thermal simulation) along with some examples of product designs.

Keywords: simulation, gigabit transmission, signal integrity, EMC, 3-D electro-magnetic simulation, thermal design, electronic equipment

## 1. 緒言

近年、電子機器の高速化が進み、プリント基板でも10Gbpsを超える信号を扱うようになってきた。また、電子部品の高速度と製品の小型化により、発熱密度<sup>\*1</sup>が上昇し、放熱設計の重要性がますます高まっている。

住友電気工業(株)システムエレクトロニクス部門が1990年代初頭に、EWS開発を契機に導入した伝送路解析による高速信号のプリント基板設計や熱シミュレーションを使った放熱設計を住友電工システムソリューション(株)が引き継いで行っている。近年の高速化、小型化に対しては、シミュレーションモデルの高精度が求められており、伝送路解析では3次元電磁界解析技術を組み合わせ数Gbps以上の信号でも十分な精度が得られる波形シミュレーション技術を構築し、熱シミュレーションにおいてもプリント基板の銅箔パターンのモデル化や外部環境、過渡現象の再現によりシミュレーションの精度を高め、製品仕様を満たす最適解を検討できる技術を構築してきた。

本稿では、当社の特長である伝送路・EMC・3次元電磁界解析や熱シミュレーションを組み合わせた適用事例について、これまで本誌にて報告してきた4報の内容を総括すると共に、今後の当社のシミュレーション設計技術について報告する。

## 2. シミュレーションを用いた電子機器設計

当部門では電子機器の受託開発・設計を行っており、その設計プロセスにシステム設計・ASIC/FPGA設計・PCB設計・筐体/機構設計の各設計を協調して行うコンカレント設計を適用している。また各設計段階にて伝送路、EMC、放熱、強度などの対策にシミュレーション技術を活用し、各対策のトレードオフを検討する「シミュレーションベース設計」を取り入れていることを特長としている(図1)。

これら各設計プロセス間の協調とシミュレーション技術の活用により、設計確度の高い製品開発を行い、設計期間

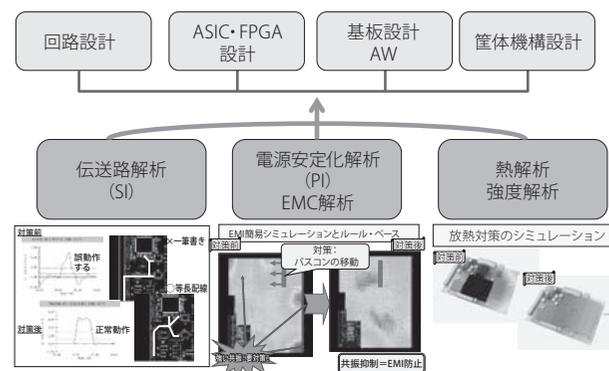


図1 シミュレーションベース設計

の短縮、製品試作の回数削減、および設計品質向上に貢献している。

### 3. シミュレーション適用事例

**3-1 伝送路解析、EMC<sup>\*2</sup>対策設計事例** 伝送路解析、EMCシミュレーションを適用例として、2007年に情報通信研究所<sup>(5)</sup>で開発、当グループが設計を担当した10Gbps伝送基板の設計事例を報告する。

本基板の主な構成は、**図2**に示すように超Gbps信号が

- ① 3.125Gbpsの差動信号が送受信で8ペア
- ② 10Gbpsの差動信号が送受信で2ペア

あり、これにより2系統の10Gbps伝送信号が構成されている。これらは2本の配線で1ペアとなる差動信号で8ペアでは16本の配線、2ペアでは4本の配線となる。

また、FPGA用に1.0V(±50mV)、15Aが必要な電源回路があり、

- ③ 低電圧かつ大電流の電源プレーン設計

といった難易度の高い設計が必要になっている。

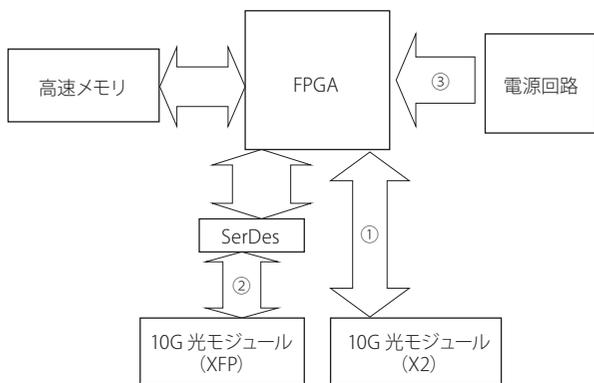
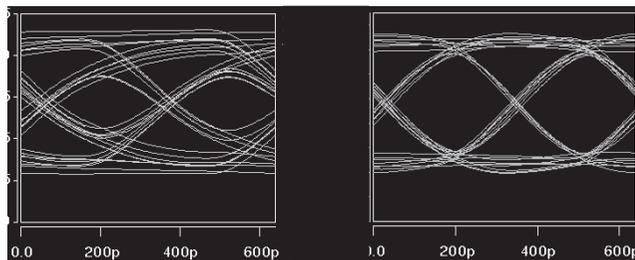


図2 10Gbps伝送基板 ブロック図

これらの課題に対し、伝送路解析では、従来のIBISモデルより精度の高いHSPICEモデルを用いたシミュレーションを行った。また、電源ノイズの低減についても、EMC対策設計者によるノウハウに電源プレーンノイズ解析を合わせて用いることにより、対策漏れがなく、精度の高いEMC対策設計を行えるようにした。

#### (1) 超Gbps信号の基板設計

超Gbps信号の基板設計では、高速かつ低電圧信号であることから、出力の増幅機能(プリエンファシス)やインピーダンス整合、配線の伝送損失の低減が重要になる。プリエンファシスについては、増幅量が大きすぎてもオーバーシュート、リングングなど波形品質を低下させることになるため、HSPICEシミュレーションにより最適値を求めた。



(a) プリエンファシス最小 (b) プリエンファシス最適値

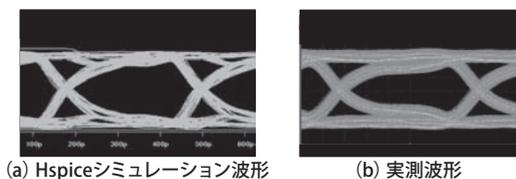
図3 プリエンファシス設定 HSPICEシミュレーション結果

また、配線のみでなく配線と配線層間を接続するビアについても信号用のビアをGND用ビアで挟んだ構造(GSSG構造)にすることで、インピーダンス不整合の低減とリターンパスの確保によりノイズの軽減を行った。

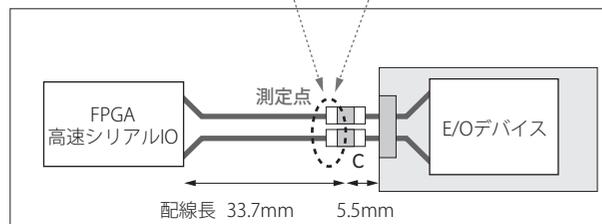
これらの対策と当グループのノウハウから、下記のような配線方針を立て、基板設計を行った。

- ・ 2本のペア配線の配線長を揃える。
- ・ 3.125Gbps信号は、送信(TX)、受信(RX)毎に配線層を揃える。
- ・ 各配線層での配線長も揃える。
- ・ 3.125Gbps信号のビアの数は、2個以下にする。
- ・ ビアは、GSSG構造にする。
- ・ 10Gbps信号は、伝送損失の少ない表層のみで最短配線できるように部品配置を最適化する。

この基板の3.125Gbps信号については、実機完成後に実測を行っており、同じ測定ポイントのシミュレーション結果と併せて**図4**に示す。**図4(a)**、**(b)**で同じような波形になっており、精度の高いシミュレーションができていることが解る。



(a) Hspiceシミュレーション波形 (b) 実測波形



(c) 測定点

図4 3.125Gbps信号 実測結果との比較

現在では、精度向上のためビアのモデルに3次元電磁解析で作成したSパラメータ<sup>\*3</sup>を用いている。これにより図5に示すように3基板にわたる3.125Gbps信号でも実測と同等のシミュレーション結果が得られるようになっている。

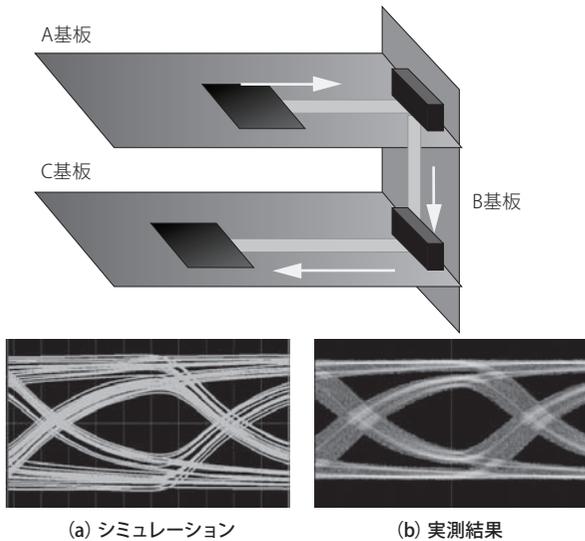


図5 3基板構成の3.125Gbps信号比較

(2) EMC 対策設計

EMC 対策設計では、EMC 設計ルールを適用すると同時に、電源の安定化設計を行った。

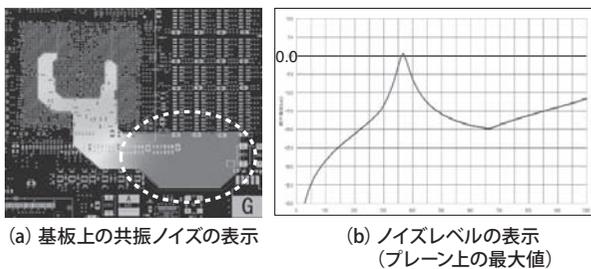


図6 電源プレーン共振シミュレーション結果 (対策前)

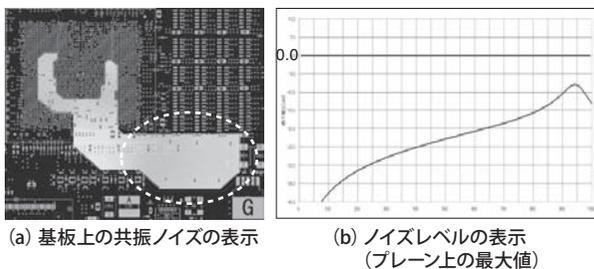


図7 電源プレーン共振シミュレーション結果 (対策後)

まず、1.0V (±50mV)、15Aの低電圧かつ大電流の電源プレーン設計については、バイパスコンデンサによるインピーダンスの低減やIRドロップ考慮した設計方針を立てた。そして、基板設計後は、DEMITASNXによる電源プレーン共振解析を行い、ノイズの抑制対策を実施した。図6、図7に一例を示す。

この図は、電源プレーンの共振シミュレーションの結果で、図の左側(a)では共振ノイズレベルが大きいほど色が濃く表示される。右側(b)では共振ノイズレベルをスペクトルで示している。図6では、点線で囲んだ部分の共振ノイズが大きくなっているが、バイパスコンデンサの追加によりノイズレベルを下げる事ができた。このように、ツールを使うことで効果が見える化でき、少ない部品数で効果的なEMC対策を行えるようになった。

(3) 10Gbps 伝送基板の基板設計のまとめ

超Gbps信号や多種の電源プレーン設計といった難易度の高い基板設計において、種々の課題に対し適切なツールを用い、課題解決を行うことで一回の試作で全ての機能を動作させる事ができた。また、設計期間は3.5ヶ月、実機製作後の評価に2ヶ月弱と、この規模の新規開発基板としては短い開発時間で完成させる事ができた。

今後、通信速度のさらなる高速化により、100Gbps通信基板では10Gbps以上の信号配線が基板上に送受信で20ペア以上必要となる。そのため、基板設計上のノイズやタイミング、そして伝送損失の問題が顕著になっていくと予想される。これらに向け、シミュレーションモデルの精度向上やPIシミュレーションの導入をはじめ、新技術の開発を積極的に進めて、製品設計への適用を目指していく。

**3-2 電磁界解析適用事例** この事例の対象となる光レシーバは、光通信システムで用いられる光信号を電気信号に変換する重要な部品である。今回解析を適用した光レシーバはトランスインピーダンス型光受信機で、図8に構成図を示す。光信号をフォトダイオード(以下、PD)で受信し微弱な電流信号に変換した後、光電気変換アンプ(トランスインピーダンスアンプ、以下TIA)で増幅した電圧信号に変換、中継基板を経由してモジュール外に出力するものである。

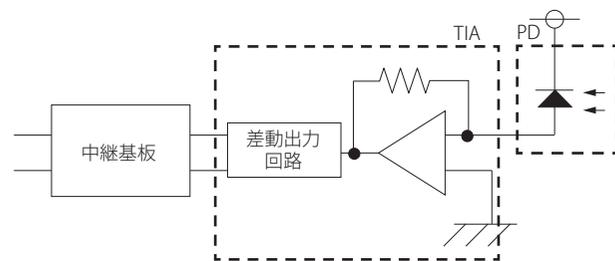


図8 トランスインピーダンス型光受信機 原理図

この光レシーバの特性を評価する1つの指標として、トランスインピーダンス（以下Zt）がある。ZtはTIAへの入力電流が電圧として出力される変換動作をインピーダンスで表したもので、乱れのないZt特性が重要となる。

今回の解析対象となった光レシーバは、図9のように試作後の実機測定でZt特性に不要な乱れが生じていた。

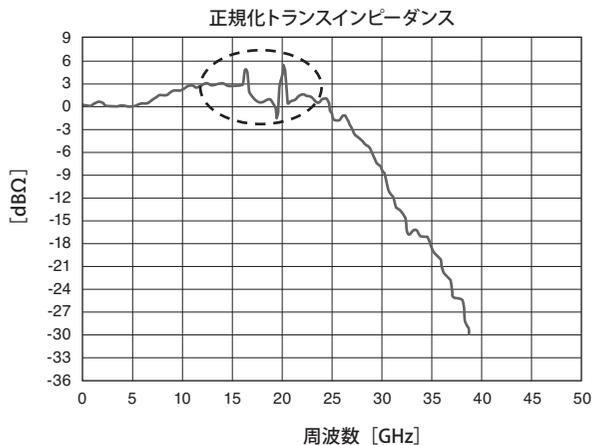


図9 実機測定結果

また、光レシーバは図10のように構成する部品が複数あり、微細なZtの乱れの原因を追究するには、実際の寸法通りの構成を用いた高精度のシミュレーションモデルが必要であるため3次元電磁界解析を適用した。

各部品およびケースを貫通している電源供給ピンは、それぞれボンディングワイヤで接続されており、PDはPDキャリアと呼ぶ基板に取り付けられている。

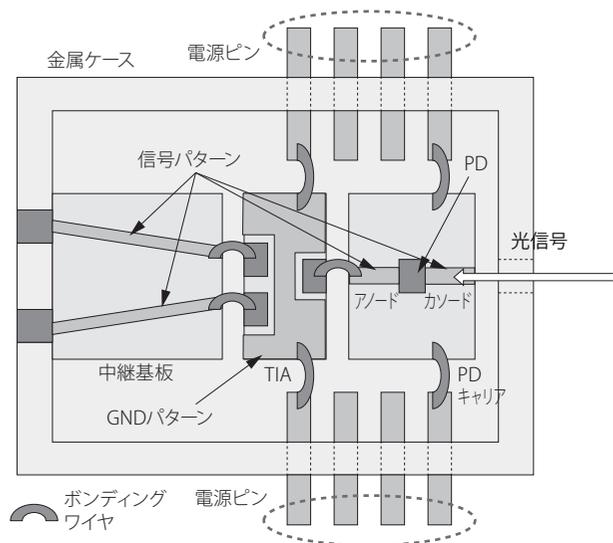


図10 各部品の配置イメージ（上面図）

また、PDキャリアにはPDのアノード、カソードにつながった銅箔パターンがあり、アノード側はボンディングワイヤを経由してTIAの入力パッドに接続、カソード側はコンデンサを経由して交流的にグラウンドに接続されている。

解析では、まず実測結果をもとに解析手法の検討と解析モデルの作り込みを行い、そのモデルを用いて改善案の検討を行った。以下、実機での課題、解析手法の確認、改善策の検討、改版後の特性改善確認について説明する。

(1) 解析手法の確認

解析モデルの作成にあたっては、3次元CADを用いて製造図面のDXFデータから3次元モデルを作成し、電磁界解析ツールにデータを取り込むことでモデル作成時間を短縮した。また、解析時間を短縮するためにモデルに下記2点の工夫を行った。

- ①ボンディングワイヤ、ビアの断面を円から四角に変更  
今回用いている解析ツールHFSSは有限要素法<sup>\*4</sup>を採用しており、円のままでは要素数が多く解析時間が長くなる。そこでボンディングワイヤ、ビアの断面構造を円から四角に変更して要素数を抑制した。
- ②導体の厚みを無視し、表皮効果のみの考慮に変更  
本構造で最も薄い導体の厚みは2.3umで解析領域と比較すると非常に小さく、そのままでは要素数が非常に多くなってしまふ。そこで、今回の解析対象となる高周波における表皮効果を考慮し、5GHz以上では導体厚をほぼ無視できると判断できることより、導体厚を無視することで要素数を抑制した。

①、②の改善を行った結果、表1に示すように解析時間の短縮効果が得られ、同じハード資源で10倍のスピードで検討を進めることができた。

表1 解析時間 短縮効果

	メッシュ数	使用メモリ [GB]	解析時間比率 (*1)
①、②適用前	約50万	11.4	1.0
①、②適用後	約10万	1.1	0.1

(\*1) 解析時間比率は①、②適用前の解析時間を1とした場合の比率

(2) Zt特性の算出

上記モデルで算出した周波数特性をSパラメータモデルに変換し、伝送路解析ツールに読み込みZt特性を算出した。結果は、図11に示すように実機測定に現れている17GHz～22GHzの特性の乱れが解析でも再現できており、このモデルをベースにZt特性改善の検討を行った。

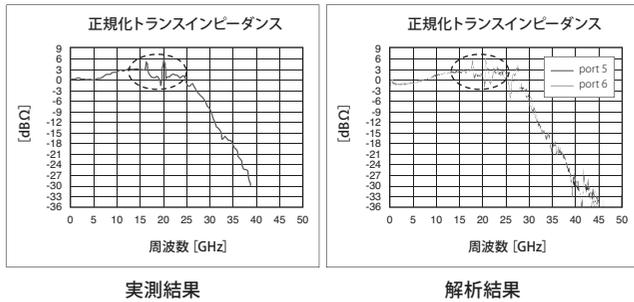


図11 初期モデルのZt特性解析結果 実測結果との比較

(3) 実機改善策の検討

改善策の検討では、3次元電磁界解析ツールによる電磁界分布解析や電流密度解析を行ったが、特に顕著な乱れを確認することができなかった。次に設計変更可能な要素を変更していき、Zt特性の変化を比較しながら乱れの原因と改善方法の検討を行った。

その結果、PDキャリアのカソード側の銅箔パターン形状を変更することで、17G~22GHzの特性乱れを改善できることが分かった。改善方法については、伝送デバイス研究所の設計担当者と実際に製造可能で、かつ特性が良くなる形状を十分吟味し、その結果を改版設計に盛り込んだ。図12に特性改善モデルで解析したZt特性を示す。

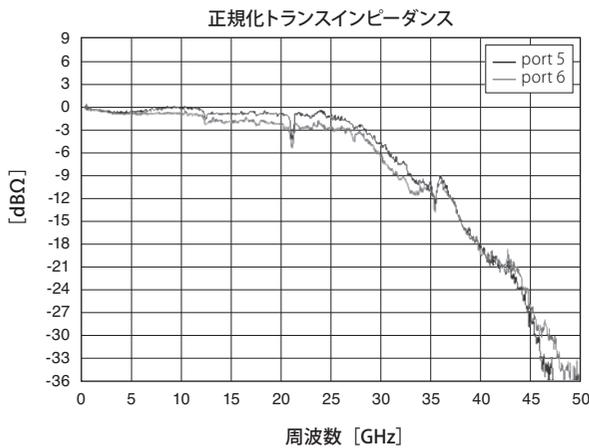


図12 実現可能な特性改善モデルのZt解析結果

図12では、特性の乱れが少し残っているが、これは解析時間短縮のためコンデンサの解析モデルを2層並行平板構造としており、浮遊誘導成分や等価直列抵抗の差異により共振現象が顕著に現われたためと推察される。実際の多層構造であれば、これらの成分は抑制される。

(4) 改版後の特性改善確認

改版設計後、再製作した実機の測定結果を図13に示す。当初現れていた17~22GHzの不要な乱れが低減された特性になっていることが確認できる。また、同時にTIA自身の特性改善も行ったことで、図12の解析結果と比較すると25GHz以上のZt特性がさらに改善している。

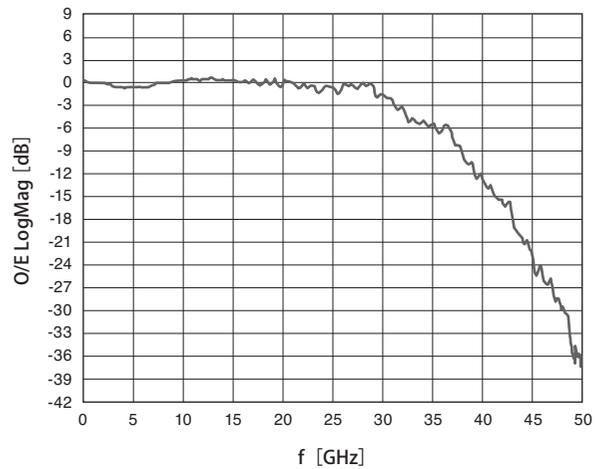


図13 再製作後のZt測定結果

今回、シミュレーションを用いたZt特性の改善検討で、光レーバ設計へ3次元電磁界解析を適用する手法が確立できた。特に構成要素の変更と特性の変化を確認しながら、改善に向けた検討ができた点は、設計とシミュレーションの協調設計ならではの進め方であると言える。

3-3 放熱設計事例

ここから、熱流体シミュレーションツールを活用した最新の放熱設計事例を報告する。

(1) 基板銅箔パターン形状を考慮した熱シミュレーション  
一般的にプリント基板は多層構造となっており、各層には異なった銅箔パターンが形成されている。通常実施している熱シミュレーションに用いるプリント基板モデルは、銅箔パターンと絶縁層を合成した等価熱伝導率体として作成する。しかし当部門では銅箔パターン形状をモデル化し、プリント基板に実装されている電子部品からの熱伝導による銅箔パターンへの放熱効果を詳細に計算し、さらに銅箔パターンに流れる電流によるジュール発熱の影響も検討する技術を開発して運用している。この取り組みの背景として次の3点が挙げられる。①筐体の小型化によりヒートシンクを搭載できない場合、プリント基板の銅箔パターンが重要な放熱経路となる機器が増加②発熱源である電子部品の小型化(部品表面積の減少)により、プリント基板への熱伝導による放熱量が増加(部品表面積が小さくなると空気中への放熱量が減少)③プリント基板の銅箔パターンの

ジュール発熱が無視できない大電流が流れる電子機器が増加。さらに、シミュレーションツールを活用した設計は一般化しつつあり、当部門の差別化技術として、よりシミュレーション精度の高い（温度測定結果との乖離が小さい）計算結果を提供している。

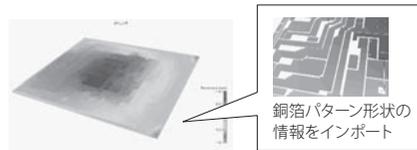
そこで当部門では、表2のようにプリント基板をA～Dの4モデル用意し使い分けており、各モデルの特徴は次のようになっている。Aは基板全体を一様な熱伝導率体とみなしたモデル（絶縁層と配線層の合成熱伝導率体）。Bは絶縁層と配線層ごとの配線率を設定したモデル。Cは各配線層の配線密度を再現したモデル。Dは配線層の銅箔パターンの形状をモデル化しジュール発熱も考慮したモデル。

表2 プリント基板のシミュレーションモデル

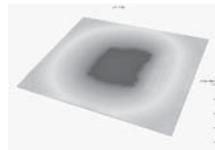
	A	B	C	D
モデル	基板全体の一様熱伝導率	絶縁層+各層毎の一様熱伝導率	絶縁層+各層毎の熱伝導率分布	絶縁層+各パターン形状
イメージ				
特徴等	絶縁層と銅箔パターンの合成熱伝導率設定	銅箔パターン層の配線率〇%一様設定	銅箔パターン層の配線密度(熱伝導率)分布設定	パターン形状をモデル化
時間	短			長
精度	低			高
工程	構想設計			詳細設計

設計初期の段階ではAのモデルを活用し、設計が進むにつれB→C→Dのモデルへと移行していく。Aのモデルは短時間で計算できるメリットがあるがシミュレーションの誤差要因が大きい。一方、Dのモデルはシミュレーション時間が長くなるがシミュレーション精度は他より優れている。これらのモデルをシミュレーションの目的に合わせて使い分けている。

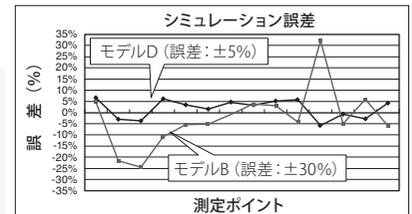
実際に銅箔パターン形状モデルの有無を比較した例を図14に示す。図中(a)が銅箔パターン形状有り、(b)が銅箔パターン形状無し温度分布である。大電流が流れジュール発熱が無視できないプリント基板の場合、Dのモデルはより実態に近くなり、A～Cのモデルと比較すると発熱分布が全く異なる結果が得られるためシミュレーション誤差が小さくなる。例えばBのモデルは温度測定との誤差が±30%に対して、Dのモデルは誤差5%に抑えることができています。またこの取り組みにより最適な基板構造（銅箔パターン形状や基板内の放熱構造）の検討を行い、PCB設計に反映することができる。このように、より高精度なシミュレーション結果を得られることにより、設計精度の向上が望めるものである。



(a) モデルDの温度分布 (銅箔パターン形状モデル化あり)



(b) モデルBの温度分布 (銅箔パターン形状モデル化なし)



(c) 実測との誤差 (モデルBとDの比較)

図14 銅箔パターン形状をモデル化した事例

(2) 日射の影響を考慮した非定常解析<sup>※5</sup>

近年、通信網の整備や太陽光発電装置の開発推進により、屋外に設置される電子機器も増加している。屋内で使用する電子機器は機器自身の発熱による温度上昇を検証することで熱的な仕様を満たすことができるが、屋外機器の場合は日射（太陽光）の影響による温度上昇も考慮に入れる必要がある。

ここで報告する屋外製品は地面に1時間程度設置して使用されるものであり、日射の影響を無視できない典型的なケースである。また試作機の温度評価が日射量の少ない時期に行われたため、気温が高く日射量の多い夏季の温度上昇をシミュレーションで予測することが求められた。まず試作機を地面の上に設置した状態で温度測定を行い、シミュレーション結果との比較を行った。シミュレーションツールでは、緯度・日時を設定すると日射量を自動で計算する機能があり、これを利用した。温度測定結果は、

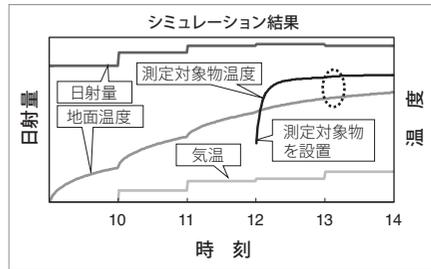
(天面側の機器表面温度) > (地面側の機器表面温度)

であったが、シミュレーションは

(天面側の機器表面温度) < (地面側の機器表面温度)

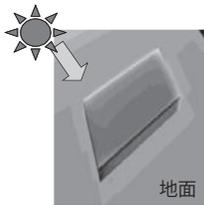
となり、異なる傾向となった。試作機は日射の影響を軽減する太陽吸収率<sup>※6</sup>の低い塗料を塗布していたため、従来手法の定常解析を適用した場合、太陽吸収率の高い地面が高温となり、その影響を受けた機器表面も地面側が最も高温となる計算結果となった。しかし試作機は小型製品のため熱容量が小さく、1時間程度で定常状態になるのに対し、熱容量が大きい地面は定常状態に達していないのではないかと推測された。そこで従来からの定常解析手法ではなく、各時刻における非定常解析を適用することとした(図15)。

その結果、正午に設置した機器の1時間後の温度上昇値が実測結果とほぼ一致し、機器天面側と地面側の温度分布も一致した。この手法のシミュレーションモデルに夏季の気温と日射量を設定することで、年間の最大温度上昇を予

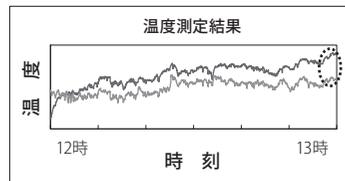


日射による温度上昇を非定常解析を活用して再現

(a) シミュレーション結果



(b) 13時の温度分布  
(シミュレーション結果)



(c) 温度測定結果

シミュレーション結果≒温度測定結果  
(a)と(c)の○部分が一致

図15 日射解析(各時刻における非定常解析)の適用事例

測することができ、計算上、熱的な問題がないと結論付けた。実際に量産品における夏季の温度上昇試験でも問題がないことを確認し、この手法が有効であることが実証できた。このシミュレーション技術により、夏季の試験結果を待つことなく製品開発を進めることが可能となり開発工程の短縮にも貢献することができた。

#### 4. 今後のシミュレーション技術動向

電子機器の伝送速度の高速化および機器の小型、軽量化は今後もますます進んでいくと考えられる。伝送速度では、光伝送で100Gbpsは実現されており、今後は400Gbps伝送を視野に入れておく必要がある。100Gbps伝送では、プリント基板上の信号は、現在、10Gbps超の信号を10ペア(送受信で20ペア)以上束ねる方式が主流であるが、25Gbps超を4ペア(送受信で8ペア)以上で実現する方式も考えられている。400Gbps伝送基板では、25Gbps伝送は必須であり、28Gbpsで送受信可能なFPGAも市場に出てきていることから、基板設計時の信号および電源のシミュレーションは欠かせないものとなっており、このシミュレーション・設計技術を習得しておく必要がある。

機器の小型、軽量化についても筐体の金属部分を減らし、樹脂筐体を採用する傾向が強くなってきている。そのため、EMCノイズ対策や放熱対策では、小型、軽量化と相まって、実機製造後に金属シールドやヒートシンクによる対策は施せなくなっている。そのため、EMCノイズ対策や放熱シミュレーションについても、今後もますます重要

になると予想できる。

現在、上記課題への対応は、計画的に今後の最新技術動向や市場ニーズを反映しながら、新製品開発時に即対応できるように技術開発を進めていく。

#### 5. 結 言

これまで本誌にて報告してきた4報の内容から、住友電気工業(株)の各グループ会社で開発された多種多様な製品へのシミュレーション適用を事例に当部のシミュレーション技術の特長と有用性を報告し、今後の技術動向と課題と対策について考察した。

信号の高速化は、情報通信機器だけでなく、車載機器、医療診断機器にも広がってきており、小型化、軽量化を同時に実現するために高度な設計を要する分野が多岐にわたってきている。今後も、信号品質、ノイズ対策、熱、構造の各シミュレーション技術の向上を図るとともに当部のもう一つの特長である基板設計、機構設計との連携を活かし、高速大容量化するSEIグループのネットワーク機器製品の開発に貢献していく所存である。

#### 用語集

##### ※1 発熱密度

単位体積あたりの発熱量。発熱密度=総発熱量/装置容積。

##### ※2 EMC

Electro Magnetic Compatibility (電磁両立性): 電子機器から発する電磁妨害波が他の機器やシステムに対して影響を与えず、また他の機器やシステムからの電磁妨害波に対して、影響を受けない耐性を持つこと。

##### ※3 Sパラメータ

散乱行列パラメータとも呼ばれ、回路特性を回路への入射波と反射波の関係を行列式で表す際の変換行列の要素のことを指す。4端子回路ではS11が端子1に入力した信号が端子1に反射する割合を示し、S21が端子1に入力した信号が端子2に透過する割合を示す。

##### ※4 有限要素法

物体を単純な要素、例えば二次元解析では三角形、三次元解析では三角錐に分割し、各要素ごとの特性を方程式で表現し、すべての方程式が成り立つ解を数値解析で求める手法。要素は直線の辺で表現するため、円、球が存在するモデルを精度よく解析するためには、要素を小さくしてモデルを細かく分割する必要がある、要素数が増える。

##### ※5 非定常解析

過渡現象による温度変化を求める計算手法。

※6 太陽吸収率

太陽からの入射エネルギーが筐体表面で吸収される割合。

- ・ HSPICEは、米国 Synopsys, Inc. の米国及びその他の国における商標または登録商標です。
- ・ DEMITASNXは、(株)NEC 情報システムズの登録商標です。
- ・ HFSSは、米国 Ansys, Inc. の米国及びその他の国における商標です。
- ・ その他、本文および図表中に記載の製品名は、各社の商標または登録商標です。

参 考 文 献

- (1) 澤田、兼子 他、「GHz帯対応を含むシミュレーションベース設計とビジネス展開」、SEIテクニカルレビュー第168号 (2006年3月)
- (2) 木下、澤田 他、「シミュレーション活用による超Gbps伝送基板の設計」、SEIテクニカルレビュー第176号 (2010年1月)
- (3) 植松、木下 他、「40Gbps光リンクモジュール開発への電磁界解析の適用」、SEIテクニカルレビュー第178号 (2011年1月)
- (4) 澤井、平端 他、「多様化が進む放熱設計への熱シミュレーションの適用」、SEIテクニカルレビュー第180号 (2012年1月)
- (5) 大道、井上 他、「非対称10G-EPONシステムの開発」、SEIテクニカルレビュー第175号 (2009年7月)

執 筆 者

木下 哲魯\* : 住友電工システムソリューション(株)  
機器開発事業部 主席



澤井由美子 : 住友電工システムソリューション(株)  
機器開発事業部 主席



植松 吉晃 : 住友電工システムソリューション(株)  
機器開発事業部 主査



岡山 昭稔 : 住友電工システムソリューション(株)  
機器開発事業部 部長



成井 隆志 : 住友電工システムソリューション(株)  
機器開発事業部 事業部長



\*主執筆者