

# 高耐圧 SiC MOSFET

木村 錬\*・内田 光亮・日吉 透  
酒井 光彦・和田 圭司・御神村 泰樹

SiC High Blocking Voltage Transistor — by Ren Kimura, Kousuke Uchida, Toru Hiyoshi, Mitsuhiro Sakai, Keiji Wada and Yasuki Mikamura — Recently, with the growing global interest on energy saving, power device efficiency is increasingly important. Most power devices are fabricated utilizing silicon (Si) and their performances have approached to the limit that can be obtained with Si. Silicon Carbide (SiC) is the best candidate materials for innovative power devices that can replace Si devices. The authors have developed SiC Metal Oxide Semiconductor Field Effect Transistors (MOSFETs) with high blocking voltage and low on-resistance characteristics that take full advantage of SiC. This paper provides overview of the design, fabricating process and electrical properties of high blocking voltage SiC MOSFETs. The fabricated SiC MOSFETs are applied edge termination technique and shows a high blocking voltage of 3,590 V and a low specific on-resistance of 14.2 mΩ·cm<sup>2</sup>. These results show that the application of SiC to power electronics will provide significant benefits in improving efficiency, high voltage operation with semiconductor devices.

Keywords: silicon carbide, breakdown voltage, transistor, power device

## 1. 緒 言

近年、地球温暖化防止の観点から世界的な省エネルギーへの取り組みが重要視されている。様々なエネルギーの中で電気エネルギーは発電・送電・制御が可能であり、我々の生活において最も身近なエネルギーである。この電気エネルギーを効率良く使用するためには、インバータ等の電力制御システムの発電から消費までを高効率化しなければならない。そのため、電力制御システムを構成する電力用半導体デバイス（以後、パワーデバイスとする）の低損失化、高効率化は極めて重要である。現在、世界中で使用されているパワーデバイスの大半が半導体シリコン（Si）を用いて製造されており、その構造の工夫や微細化により高性能化が達成されてきた。しかし、これらの構造的な工夫をもってしても、その材料がSiである以上、Siの物性によって決まるデバイスの理論的性能限界以上の性能を得ることはできない。したがって、さらなる高性能化のためには、Siの性能限界を凌駕する半導体によるパワーデバイスの実現が不可欠となる。そこで注目されているパワーデバイス用材料が炭化ケイ素（SiC）である<sup>(1)</sup>。

SiCの結晶構造は原子配列の積層順序の違いによって多くの結晶多形が存在するが、その中でも4H-SiCは絶縁破壊電界が高く、電子移動度も大きいことから、パワーデバイス用途として最も有力視されている結晶多形の1つである。4H-SiCはSiの約3倍の禁制帯幅を持ち、絶縁破壊電界は約10倍である。これらの特徴は4H-SiCがSiと比較して優れた高耐圧デバイスとなり得ることを示している。ま

た、同じ耐圧のSiパワーデバイスと比較して、耐圧を保持するドリフト層膜厚を約10分の1、不純物濃度を約100倍にすることができるため、オン抵抗を2～3桁下げることができる。一方、4H-SiCの飽和ドリフト速度はSiの約2倍であり、高速スイッチングも期待できる。さらに、4H-SiCの熱伝導率はSiの約3倍であり、高温環境でも安定動作することができる。この様に、SiCパワーデバイスは現在のSiパワーデバイスと比較して、高耐圧、低損失、高速動作、高温環境下での安定動作という優れたデバイス特性が期待される。

現在、産業用モータや電鉄の駆動の制御に必要な耐圧1,200 Vから3,300 Vの中・高耐圧領域ではSiのIGBT (Insulated Gate Bipolar Transistor) が利用されている。当社では、この耐圧領域のSi IGBTをより損失の少ないSiC MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) に置き換えることを目標に、高耐圧SiC MOSFETの開発を進めている。本稿では、耐圧2,200 Vと耐圧3,300 Vの高耐圧SiC MOSFETの設計を行い、実際に試作した素子の評価結果について報告する。

## 2. 高耐圧 SiC MOSFET の設計と作製プロセス

2-1 高耐圧 SiC MOSFET の耐圧保持構造 高耐圧デバイスでは、デバイスの最外周部に高電界が発生しやすいため、その高電界を緩和する耐圧保持構造が重要である。

耐圧保持構造が無い場合、素子構造の最外周部に高い電界が集中してしまい、より低い電圧でデバイスが破壊を起してしまう。これまでSiCパワーデバイスにおいても、様々な耐圧保持構造が提案されているが<sup>(2)、(3)</sup>、我々は、ガードリング型の耐圧保持構造を採用して耐圧の向上を目指した。

図1に耐圧1,200 VのMOSFETの模式図を示す。ガードリングはp型領域であり、イオン注入によって形成される。このMOSFETに1,200 Vを印加した場合について電界強度分布のシミュレーションを行った。シミュレータはSilvaco社製Atlasを用いた。領域A-A'領域の電界強度分布を図2に示す。図2(a)はガードリングが無い場合、図2(b)はガードリングを採用した場合の電界強度分布である。図2

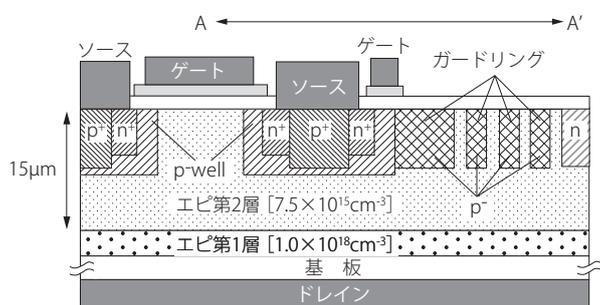


図1 耐圧1,200 VのMOSFET構造

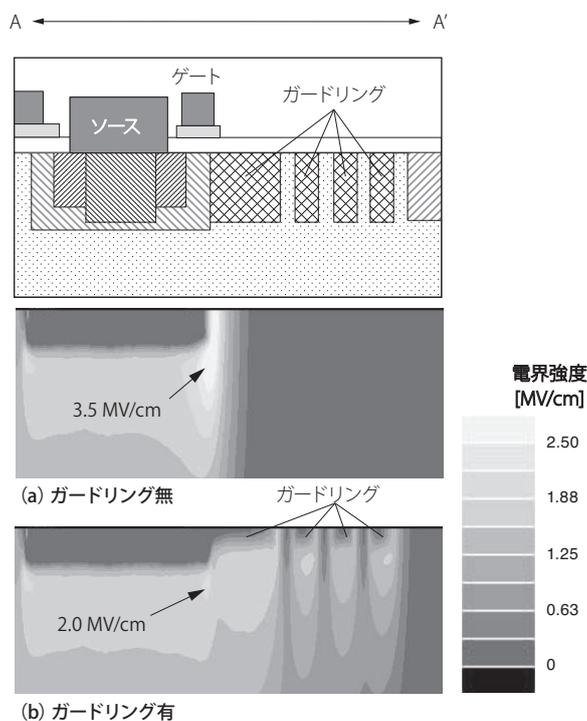


図2 ガードリング有無での電界強度分布変化

表1 MOSFETの不純物注入量

注入部位	注入量 [cm <sup>-3</sup> ]
p <sup>+</sup>	$3.3 \times 10^{15}$
p-well	$2.9 \times 10^{13}$
p <sup>-</sup>	$1.3 \times 10^{13}$
n <sup>+</sup>	$6.9 \times 10^{14}$
n	$1.0 \times 10^{13}$
n <sup>-</sup>	$1.0 \times 10^{11}$

の比較から明らかなように、ガードリングが無い場合にはSiC内部の最大電界強度はデバイスの最外周部で3.5 MV/cmとなり、SiCの絶縁破壊電界である2.5 MV/cmを超えてしまう。しかし、ガードリングを設けることでSiC内部の電界強度が最大でも2.0 MV/cmと低くなり、1,200 Vの耐圧を維持できていることがわかる。

耐圧2,200 V、耐圧3,300 VのSiC MOSFETについても同様の手順でガードリング構造の設計を行い、試作に適用した。

2-2 デバイス設計と作製プロセス 図3に耐圧2,200 Vと耐圧3,300 VのMOSFETの断面構造図を示す。基板には(0001)面のn型4H-SiCを用いた。耐圧を保持するエピタキシャル成長層(エピ第2層)は、2,200 Vでは不純物濃度と膜厚がそれぞれ $4.5 \times 10^{15} \text{ cm}^{-3}$ 、20 μm、3,300 Vでは $3.0 \times 10^{15} \text{ cm}^{-3}$ 、30 μmを用いた。p-well領域、n<sup>+</sup>領域、n<sup>-</sup>領域、p<sup>+</sup>領域、ガードリング部はそれぞれイオン注入で形成した。表1には図1、図3における各注入層の代表的な注入量を示す。チャネル長は1 μmである。ゲート酸化膜厚は50 nmであり、ゲート電極にはn型の多結晶シリコンを用いた。また、p-well領域に挟まれたJFET領域の抵抗を下げるために、イオン注入によって局所ドーピングを行っている。次に作製プロセスの詳細について説明する。

図4に素子断面模式図により高耐圧SiC MOSFETの作製プロセスフローを示し、以下に詳細を述べる。

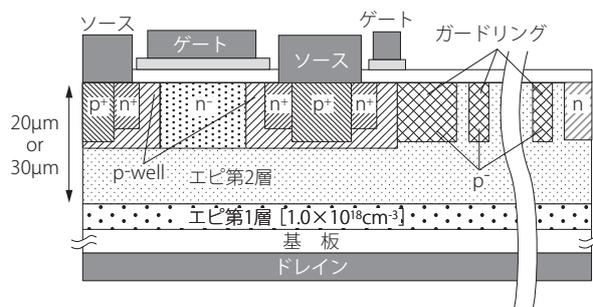


図3 耐圧2,200 V、3,300 VのMOSFET構造

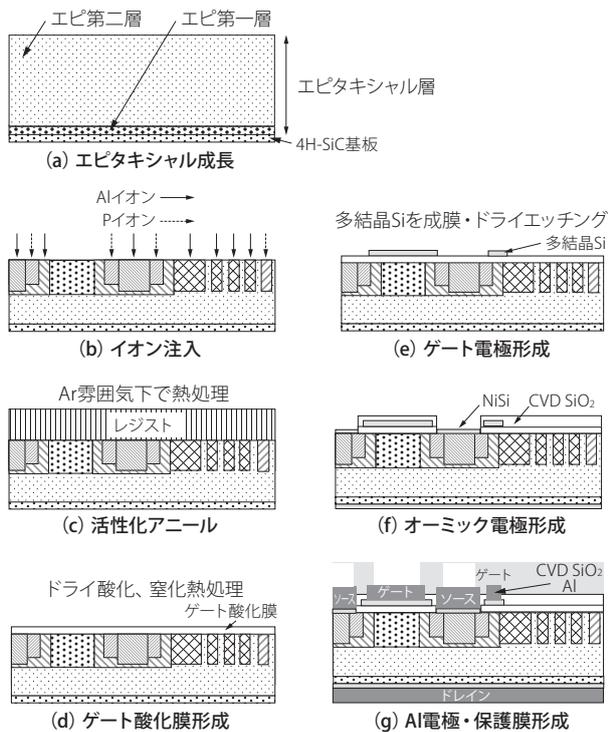


図4 MOSFET 作製プロセス

(a) エピタキシャル成長

基板は厚さ 350  $\mu\text{m}$  の 4H-SiC 基板であり、(0001) 面に対して  $4^\circ$  オフ角が付くように加工されている。この基板上に 2 層構造のエピタキシャル構造を化学的気相成長法 (CVD) により形成する。

(b) イオン注入

トランジスタ動作をさせるために、n 型不純物としては P (リン) イオンを、p 型不純物としては Al (アルミニウム) イオンをイオン注入を用いて導入する。注入阻止マスクには  $\text{SiO}_2$  膜を用い、注入部位の  $\text{SiO}_2$  を反応性イオンエッチング (RIE) にてエッチングし、それぞれのイオンを注入した。イオン注入時には不純物注入による SiC 結晶の損傷を抑制するために高温に加熱する。

(c) 活性化アニール

イオン注入により導入した不純物を SiC の結晶構造に組み込み活性化するとともに、イオン注入により生じた結晶損傷を回復させるため、高温で加熱する。

(d) ゲート酸化膜形成

ゲート酸化膜を形成するために酸素雰囲気中で酸化し、その後、窒化処理を行う。これにより基板全面に 50 nm 厚の  $\text{SiO}_2$  を形成する。

(e) ゲート電極形成

ゲート電極として、低压 CVD を用いて多結晶シリコンを基板全面に成膜する。その後、この多結晶シリコン

に導電性をを持たせるためにリンを拡散させ、不要な部分は RIE を用いてドライエッチングにより除去する。

(f) オーミック電極形成

基板表面のソース領域、基板裏面のドレイン領域にオーミック電極を形成する。まず、基板表面に層間絶縁膜として  $\text{SiO}_2$  をプラズマ CVD を用いて成膜する。その後、電極形成部の  $\text{SiO}_2$  を除去しオーミック電極を形成する。この後、加熱することにより SiC との合金化を行う。

(g) Al 電極・保護膜形成

並列接続する各セル間の電気的接続を行うために、配線形成を行う。ゲート電極及びソース電極上の  $\text{SiO}_2$  を RIE にてドライエッチングした後に、スパッタリング法により Al を堆積し、リソグラフィと RIE により不要な Al を除去し、各セルのゲート電極及びソース電極間を接続する。

デバイスの最終保護として厚さ 2  $\mu\text{m}$  の  $\text{SiO}_2$  をプラズマ CVD により形成した。電流の取り出し口のパッド部を開口し、作製プロセスは終了する。

2-3 評価用パッケージへの実装 作製プロセス完了後、高熱伝導率の銅タングステン (Cu-W) をベースとして適用した評価用 TO-220 パッケージへ実装する。実装工程のフローについて、以下に述べる。

(a) ダイシング  
ダイサを用いて基板を切断し、単位チップに分割する。

(b) マウント  
チップを TO-220 パッケージにはんだを用いて取り付ける。

(c) ボンディング  
Al ワイヤを用いてチップ内の各電極とパッケージ端子を電気的に接続する。

(d) 封止  
素子と Al ワイヤが完全に埋没するまでモールド樹脂を充填して封止を行う。

### 3. 高耐压 MOSFET の特性

3-1 オン抵抗測定 作製した耐压 2,200 V 設計の素子及び耐压 3,300 V 設計の素子の順方向特性評価結果を図 5 に示す。ゲート電圧 15 V、ドレイン電圧 2 V での特性オン抵抗は耐压 2,200 V 設計の素子で  $12.6 \text{ m}\Omega \cdot \text{cm}^2$ 、耐压 3,300 V 設計の素子で  $14.2 \text{ m}\Omega \cdot \text{cm}^2$  となった。耐压 3,300 V 設計の素子の方が若干、抵抗が高いがこれはより高い耐压を得るためにエピタキシャル成長層が厚く、ドーピング濃度が低いためである。

3-2 耐压測定 本試作で作製した耐压 2,200 V 設計の素子及び耐压 3,300 V 設計の素子の耐压を測定するため、逆方向リーク特性の評価を行った。その結果を図 6 に示す。なお、本検討では逆方向電流が 1  $\mu\text{A}$  を超えるドレ

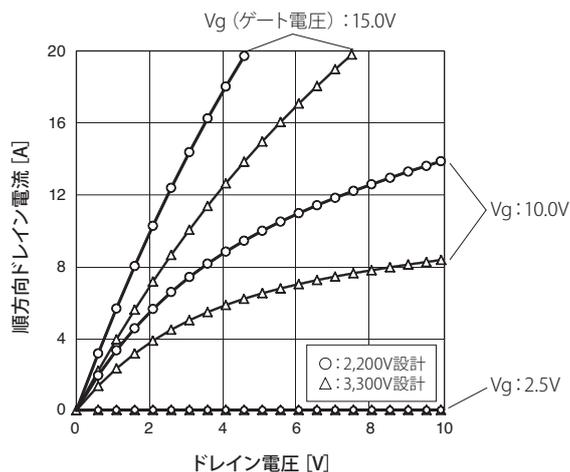


図5 高耐圧SiC MOSFETの順方向電流特性

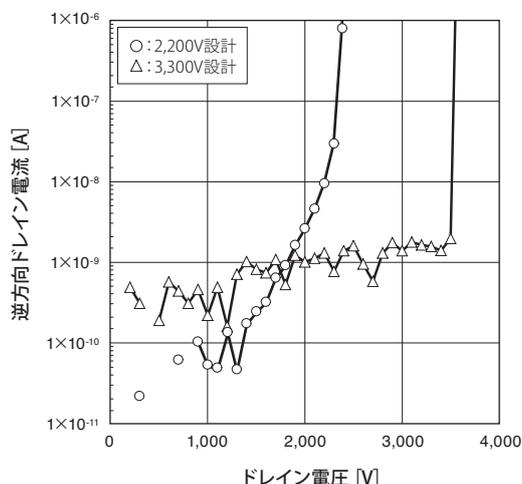


図6 高耐圧SiC MOSFETの逆方向特性

イン電圧で耐圧を定義した。耐圧2,200 V設計の素子の耐圧は2,390 V、設計3,300 Vの素子の耐圧は3,590 Vとなり、それぞれ2,200 V、3,300 Vの耐圧が得られたことが確認された。耐圧2,200 V設計の素子及び耐圧3,300 V設計の素子のエピタキシャル成長層の理想耐圧（1次元pn接合の耐圧）は、それぞれ約2,900 Vと約4,050 Vとなるため、理想耐圧の80～90%が得られていることになる。

#### 4. 今後の展望

本報告では電力システム制御に用いられているSi IGBTをSiC MOSFETに置き換えることを視野に入れ、耐圧3,300 VまでのSiC MOSFETを開発した。本検討ではガードリング構造が耐圧に与える影響を確認した。今後の

高耐圧化で重要な要素としては、ガードリング部の注入濃度、幅、間隔があり、より複雑な設計を検討し、試作を試みている。加えて耐圧に重要と思われるものにエピタキシャル成長層の品質がある。特に、結晶欠陥が混入した領域では絶縁破壊電界が低下するため、耐圧を下げる大きな原因になる。したがって、エピタキシャル成長の技術についても詳細な検討を実施中である。さらに、パワーデバイスに求められる特徴として「高電流密度化」と「大面積化」がある。これを達成するためにはデバイスの低オン抵抗化及び歩留まりの向上が挙げられる。前者に対してはデバイス構造の改善を進める。また後者に対しては歩留まりを下げる要因を調査し改善することが重要であり、エピタキシャル成長層品質の向上が一つの課題である。また、生産の観点から、プロセスバラツキ抑制による歩留まり向上も必要であり、設計とプロセスの両面から技術開発を進めていく。

#### 5. 結 言

Siパワーデバイスの性能限界を超える材料として期待されているSiCを用いて、高耐圧SiC MOSFETを開発した。本報告では、耐圧3,300 V以上のSiC MOSFETを開発することに成功した。これによりSiC MOSFETの中・高圧インバータ等への応用が期待できる。

今後はより耐圧の高いSiC MOSFET開発を進めるためにデバイス構造のさらなる改善を進めていく。同時にオン抵抗低減、また、耐圧や歩留まりを左右するエピ品質のさらなる向上を進めていく。

#### 参 考 文 献

- (1) M. Bhatnagar and B.J. Baliga, IEEE Transactions on Electron Devices, vol.40, pp.645-655 (1993)
- (2) K. P. Schoen, J. M. Woodall, J. A. Cooper Jr., M. R. Melloch, IEEE Transactions Electron Devices, vol.45, pp.1595-1604 (1998)
- (3) B. J. Baliga, Power semiconductor devices, Boston: PWS Publishing Co., (1995)

執筆 者

---

木村 鍊\* : パワーデバイス開発部



内田 光亮 : パワーデバイス開発部



日吉 透 : パワーデバイス開発部



酒井 光彦 : パワーデバイス開発部 主査



和田 圭司 : パワーデバイス開発部 主査



御神村 泰樹 : パワーデバイス開発部 部長



---

\*主執筆者