



# ナノ導電ペーストによる 薄型フレキシブルプリント回路

Thinner Flexible Printed Circuits with Nano-conductive Paste

春日 隆\*  
Takashi Kasuga

岡 良雄  
Yoshio Oka

奥田 泰弘  
Yasuhiro Okuda

津田 幸枝  
Yukie Tsuda

内田 淑文  
Yoshifumi Uchita

朴 辰珠  
Jinjoo Park

近年、エレクトロニクス機器の軽薄短小化、高機能化は益々進展し、フレキシブルプリント回路基板 (Flexible printed circuit: 以下、FPC) にも更なる薄型、ファインピッチ化が要求されている。FPC薄型化、ファインピッチ化のキーとなる層間接続技術について、従来のスルーホールめっき法に対して、当社独自のナノ導電ペーストを用いたペーストビア法を開発した。スルーホールめっき法で不可避の銅厚みの増加なく層間接続部を形成できるペーストビア法により、薄型化、ファインピッチ化が可能となり、既に量産適用を開始している。本稿ではこの新しい層間接続技術「ペーストビア接続技術」について報告する。

Recently, miniaturization and high functionalization of electronic devices have been progressing increasingly. Therefore flexible printed circuits (FPC) are also required to be thinner and to realize finer pitch pattern formation. Regarding interlayer connection technology, the key technology for thinner FPC and fine pitch pattern formation, we have developed new interlayer connection technology with our original nano-conductive paste, “paste via technology,” an alternative to traditional plating through hole technology (PTH). The newly developed technology allows formation of interlayer connection part with no increase of copper thicknesses associated with PTH, thereby enables production of thinner FPCs with fine pitch formation. Now we have started mass production of the FPC. This paper describes the novel “paste via technology.”

キーワード：FPC、導電性ペースト、ナノ粒子、薄肉基板、層間接続

## 1. 緒 言

FPCは、小型、薄型、高屈曲という特長により、エレクトロニクス機器には必要不可欠なものとして広く使われている。当社では研究部門で1965年にFPC開発を開始して以来、柔軟な創造力と銅電線の製造技術を礎とした独自技術の開発によって、エレクトロニクス業界のニーズに応える製品を送り出してきた<sup>(1)</sup>。

近年、ウェアラブル端末に代表されるように、エレクトロニクス機器の軽薄短小化・高機能化は益々進展し、FPCにも更なる薄型化、ファインピッチ化が要求されている。FPC高機能化のニーズに伴い、両面板や多層板の生産比率が増加しているが、薄型化やファインピッチ化のニーズに応えるために、キーとなるのは層間接続技術である。我々は当社独自のナノ銀粒子を用いた新たな導電性ペースト層間接続技術の開発を行い、これまでに不動態被膜を有する金属層との間でも、高い信頼性が得られる接続技術を開発した<sup>(2)</sup>。さらに本技術を回路およびビア底が銅である一般のFPC基板に対しても適用を進め、薄型・ファインピッチ対応のFPC量産を開始した。

## 2. ペーストビア接続技術開発

FPCは、銅導体層 (銅箔もしくは銅箔+めっき銅の層数) の層数により片面板 (導体層1層)、両面板 (導体層2層)、多層板 (導体層3層以上) がある (図1)。

導体層が多いほどFPCをより高機能化できることから、FPC高機能化のニーズに伴い、両面板や多層板の生産比率が増加している。両面板、多層板は各層の導体層をスルーホー

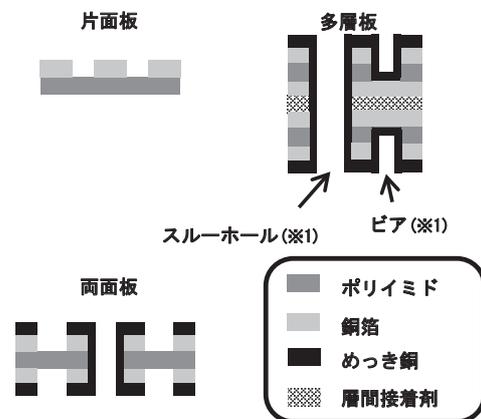


図1 FPCの断面構造

ル\*<sup>1</sup>やビア\*<sup>1</sup>と呼ばれる層間接続部で接続(層間接続)する必要があるが、従来の層間接続技術は貫通孔(スルーホール)を開け、無電解めっきおよび電気めっきにて層間接続部を形成した後、回路形成を行うスルーホールめっき法が一般的であった。しかし、電気めっきにより全体の銅厚が厚くなることから、基板薄型化、ファインピッチ化には限界があった。

これに対して当社では、独自の導電性ペースト技術を開発し、片面板に必要な部分のみ導電性ペーストで回路を形成したジャンパーFPC、屈曲性の良い導電性ペーストでシールド層を形成したシールド付きFPCなどを既に量産化している(図2)。

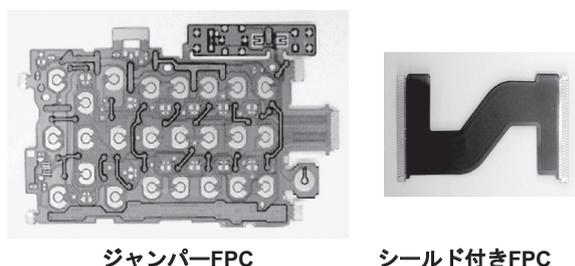


図2 ジャンパーFPC(左)、シールド付きFPC(右)

さらに両面板での薄型化に対応するため、層間接続部のみ導電性ペーストで接続する技術(以下、ペーストビア法)を開発した。ペーストビア法では最初に回路形成を行った基板に対してレーザー等でビア開孔加工を行い、最後に導電粒子を樹脂に分散した導電性ペーストをビアに印刷し、層間の接続を行う方法である。この方法では最初に回路形成が可能となるため、銅厚は最初の厚みを保ったままで加工可能となり、基板薄型化、ファインピッチ化が可能となる(図3)。

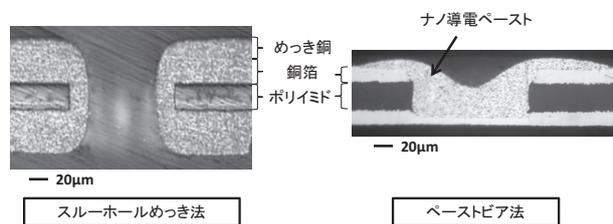


図3 ペーストビア法による薄肉化

### 2-1 ナノ導電ペーストの特長

当社では、真空装置を用いない独自の液相還元法により、安価でかつ粒径の揃ったナノ粒子製造方法を確立している<sup>(3)</sup>。

既にナノニッケル粒子についてはファインピッチ回路接続用異方導電膜(ACF)として<sup>(4)</sup>、またナノ銀粒子については配線材料等の銀インクの構成材料として実用化している<sup>(5)</sup>。

ペーストビア法に用いる導電性ペースト(以下、ナノ導電ペースト)は、導電性粒子としてこのナノ銀粒子と $\mu\text{m}$ オーダーの粒子を組み合わせているが、ナノ銀粒子はその高い反応性を活かしてバルク銀の融点(約 $1,000^{\circ}\text{C}$ )より低温焼成でも融着が進み、接続抵抗の低減および接続信頼性を高める重要な役割を担っている(図4)。

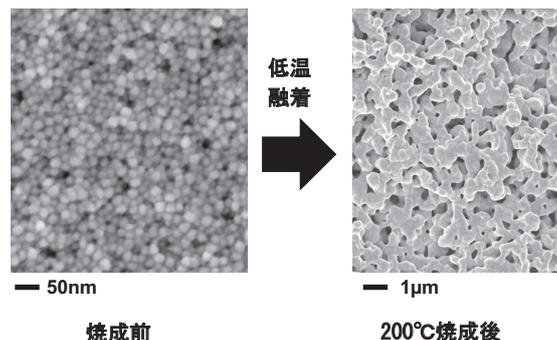


図4 ナノ銀粒子の低温融着効果

### 2-2 ナノ導電ペーストによるビア充填

ペーストビア法で接続信頼性を高めるためには、ナノ導電ペーストをビアに対して位置ズレ無く印刷し、ビア底までボイド無く良好に充填することが必要である。従来はポリイミド厚み $10\mu\text{m}$ までの充填は確認できていたが、さらにナノ導電ペーストの導電粒子、樹脂、添加剤等の種類、配合設計の最適化およびスクリーン印刷技術の開発を行い、ポリイミド厚み $12\mu\text{m}$ 、 $25\mu\text{m}$ でもボイド無く良好に充填可能となった(図5)。

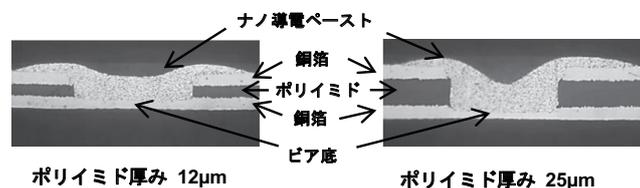


図5 ナノ導電ペーストビア充填状態

また、ビア底まで充填したナノ導電ペーストとビア底銅箔の間は、ナノ銀粒子の高い反応性により、金属融着接合を形成することで一体化しており、接続信頼性を高めている(図6)。

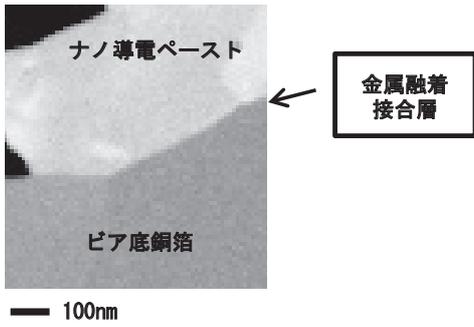


図6 ビア底金属融着接合層

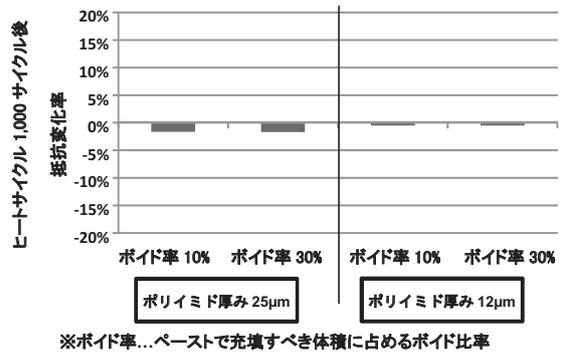


図8 ペーストビアへのポイド導入試験

### 3. 基板特性

ペーストビア法で作製した両面FPCについて、層間接続部の接続信頼性試験および耐マイグレーション試験を行った。従来のスルーホールめっき法量産品に要求される接続信頼性試験、耐マイグレーション試験と同様の条件で評価を行い、量産品質での安定性を確認した。

#### 3-1 接続信頼性試験

##### (1) 1,000万ビアヒートサイクル試験

低温側 -40℃、高温側 125℃を1サイクルとしたヒートサイクル試験を1,000サイクル繰り返し、ビア接続抵抗の変化を測定した。評価パターンは1万ビアのデジチェーンパターンを1,000枚で、計1,000万ビアの接続信頼性を評価した。1,000サイクル経過後も抵抗変化率は4%未満と安定していることを示し、量産レベルで接続信頼性が有ることを確認した(図7)。

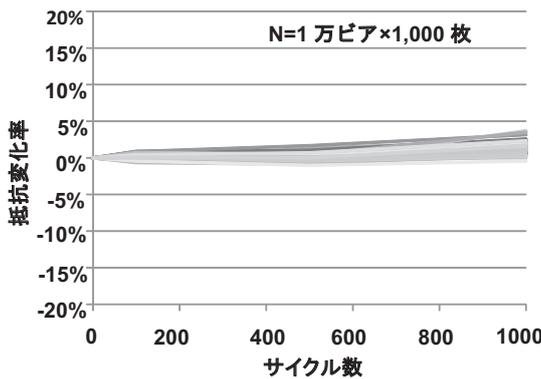


図7 1,000万ビアヒートサイクル試験

##### (2) ボイドに対する信頼性評価

ナノ導電ペーストは、上述のようにビアへの充填性に優れているが、万が一ビア内にボイドが入ってしまった場合を想定し、意図的にボイドを導入したペーストビアを作製して

ヒートサイクル試験を行った。ボイドを30%導入したビアでも、ヒートサイクル試験1,000サイクル後も大きな抵抗上昇は無く、非常に安定しており(図8)、ボイドが起点となるような接続破断が進行しにくい、信頼性の高い接続方法であることを示している。

#### 3-2 耐マイグレーション試験

ビア径/ランド\*2径=φ100μm/φ300μmのペーストビア接続部を含む、最小回路間隔50μmの回路に、85℃85%の環境下で50Vの電圧を印加し絶縁抵抗を測定した(図9)。

1,000h経過後も高い絶縁抵抗を示しており、ペーストビア法は絶縁性を阻害しないことが分かった(図10)。

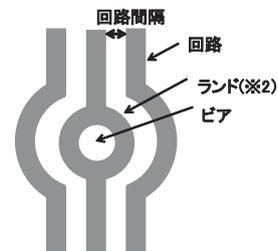


図9 耐マイグレーション試験評価パターン

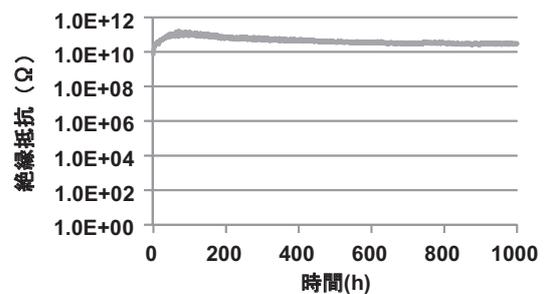


図10 耐マイグレーション試験

以上の様に、ペーストビア法は接続信頼性試験、耐マイグレーション試験に対して優れた結果を示しており、量産レベルで高い信頼性を有する技術であることを示した。また意図的にボイドを導入したビアに対しても高い接続信頼性を示しており、マージンが十分であることを確認できた。

ペーストビア法により高い信頼性を有し、薄型、ファインピッチのニーズに応えるFPCを提供することができるようになり、2013年度より量産を開始している<sup>(6)</sup>。

## 4. 結 言

当社独自の金属ナノ粒子製造技術、材料配合設計技術を生かし、これまでより厚膜ポリイミドでも良好に充填できるナノ導電ペーストを開発した。ナノ導電ペーストによりビア底で金属融着接合層を形成するため、接続信頼試験、耐マイグレーション試験で、量産レベルで高い信頼性を得られることを確認し、ペーストビア法の量産適用を開始した。

## 用語集

### ※1 スルーホール、ビア

両面板、多層板で各層の導体層を接続する部分。貫通孔をスルーホール、有底のものをビアと称する。

### ※2 ランド

スルーホールやビアの周りに設けられる主に円形の回路部分。

## 参 考 文 献

- (1) 兼広昌之、柏木修二、中間幸喜、西川潤一郎、荒牧秀夫、「当社のフレキシブルプリント回路事業の展開」、SEIテクニカルレビュー第172号、pp.1-9 (2008)
- (2) 岡良雄、春日隆、富岡寛、上原澄人、朴辰珠、上西直太、奥田泰弘、「導電性ペーストによるビア接続技術の開発」、SEIテクニカルレビュー第181号、pp.104-107 (2012)
- (3) 真嶋正利、小山恵司、谷佳枝、年岡英昭、小副川みさ子、柏原秀樹、稲澤信二、「金属ナノ粉末を用いた導電材料の開発」、SEIテクニカルレビュー第160号、pp.6-8 (2002)
- (4) 年岡英昭、中次恭一郎、山本正道、佐藤克裕、新原直樹、奥田泰弘、「ファインピッチ回路接続用異方導電膜の開発」、SEIテクニカルレビュー第179号、pp.43-47 (2011)
- (5) 岡田一誠、下田浩平、宮崎健史、「金属ナノインキを用いた微細配線形成技術」、SEIテクニカルレビュー第168号、pp.90-92 (2006)
- (6) 住友電気工業㈱プレスリリース (2013年5月)  
[http://www.sei.co.jp/news/press/13/prs055\\_s.html](http://www.sei.co.jp/news/press/13/prs055_s.html)

## 執 筆 者

春日 隆\* : エネルギー・電子材料研究所 主査



岡 良雄 : エネルギー・電子材料研究所  
グループ長



奥田 泰弘 : エネルギー・電子材料研究所 部長  
博士 (工学)



津田 幸枝 : 住友電気プリントサーキット㈱



内田 淑文 : 住友電気プリントサーキット㈱  
グループ長



朴 辰珠 : 住友電気プリントサーキット㈱  
部長



\*主執筆者