



SiC基板

原子拡散接合を用いて高放熱のSiC基板上に作製したInP-DHBT

InP-DHBT Fabricated on High Heat Dissipation SiC Wafer Using Atomic Diffusion Bonding

渡邊 昌崇*
Masataka Watanabe

柳沢 昌輝
Masaki Yanagisawa

上坂 勝己
Katsumi Uesaka

江川 満
Mitsuru Ekawa

小路 元
Hajime Shoji

データトラフィックの爆発的な増大に対応するために、400 Gbit/sを超える超高速光通信システムの開発が進められている。光通信においてレーザや光変調器を駆動するドライバICには高速、かつ高耐圧特性を有するInP-DHBTが適している。一般的に、高速化に対応するためにはInP-DHBTには大電流密度での動作が要求される。しかしながら、そのような過酷な動作条件はInP-DHBTの自己発熱による特性劣化を早め、寿命が短くなるという問題がある。そこで今回、放熱性の高いSiC基板上にInP-DHBTを作製することでデバイス温度の上昇を抑制する試みを行った。SiC基板上へのInP-DHBT作製には常温かつ低加圧で金属接合が可能な原子拡散接合を用いた。試作したデバイスにおいて、SiC基板の高放熱性により40%以上の大幅な熱抵抗低減効果を確認した。

The drastic increase in internet traffic has created the demand for ultra-high speed optical fiber communication systems that can transmit at a speed of over 400 Gbit/s. InP-based double heterojunction bipolar transistors (InP-DHBTs) with a high-speed transmission capability and high breakdown voltage are suitable for integrated circuits (ICs) that drive the semiconductor lasers or optical modulators in these fiber communication systems. In general, InP-DHBTs must be driven under a high current density for high baud rate operation. However, such severe operating conditions eventually accelerate the degradation of InP-DHBT characteristics because of self-heating, leading to shorter life of ICs. This paper introduces our trials to fabricate InP-DHBTs on a SiC wafer with high heat dissipation. Atomic diffusion bonding, which allows metal-metal bonding under room temperature and low pressure conditions, is used to fabricate the InP-DHBTs on a SiC wafer. The fabricated device reduces thermal resistance by more than 40% owing to the high heat dissipation of the SiC wafer.

キーワード：InPダブルヘテロ接合バイポーラトランジスタ (InP-DHBT)、原子拡散接合、熱抵抗、SiC基板

1. 緒言

スマートフォンを使用した動画視聴サービスや各種クラウドサービスが人々の生活に一層浸透しつつあることなどを背景に、データトラフィックは増加の一途を辿っている。これに対応するために400 Gbit/sを超える超高速光通信システムの開発が進められている。光通信においてレーザや光変調器を駆動するドライバICには、高速かつ高耐圧特性を有するトランジスタが必要になる。当社では、100 Gbit/sまでの通信速度に対応したドライバICに使用可能なトランジスタとして、 $f_T = 180$ GHz、 $f_{max} = 200$ GHz^{*1}、 $BV_{ceo} > 5$ V^{*2}のInP-DHBT^{*3}を開発している^{(1),(2)}。更なる高速化に対応するためにはInP-DHBTには大電流密度での動作が要求される。しかしながら、これらの過酷な動作条件はInP-DHBTの自己発熱による特性劣化を早め、寿命が短くなるという問題がある。これに対して近年、基板接合技術を用いてトランジスタを放熱性の高いSiC基板上に作製する報告が幾つか見られる^{(3),(4)}。簡便な基板接合方法として樹脂を用いた接合があるが、放熱性の観点からは金属接合や直接接合が適している。金属接合や直接接合

は一般的に高温高加圧で行われるが、基板の線膨張係数の違いに起因する歪みや加圧時のダメージを避ける観点からは、常温低加圧での接合が望ましい。今回我々は常温かつ低加圧で金属接合が可能な原子拡散接合^{*4, (5), (6)}を用いて、SiC基板上にInP-DHBTを作製することに成功した。本稿では作製フローと、作製したInP-DHBTの代表的な特性を紹介する。

2. 作製フロー

通常、基板接合を行うと接合先の基板に対してはエピタキシャル成長層 (エピ層) が反転した配置になるため、エピタキシャル成長を逆順に行うことが多い。しかしエピ層の品質は成長順の影響を受けるため、逆順に成長したエピ層を用いたデバイスでは特性の厳密な検証は難しい。我々は基板接合による転写を2回行うことで、通常と同じ成長順のエピ層を使用できるようにした。SiC基板上へのInP-DHBT作製フローを図1に示す。InP基板上にエピタキシャル成長した層を2度の基板接合によりSiC基板上に転写した

後に、転写したエピ層をInP-DHBTに加工する手順である。

はじめに原子拡散接合の準備段階として、接合装置チャンバ内でエピ層の表面と仮支持基板であるSi基板の表面にタングステンを片側5nmずつ、スパッタで形成する(ステップ1)。引き続き、そのままチャンバ内でエピ層とSi基板を原子拡散接合する。接合時の基板温度は室温、加圧圧力は10kPa以下である(ステップ2)。その後、InP基板を

塩酸水溶液でエッチングして除去する(ステップ3)。ステップ3で露出したエピ層の下面とSiC基板を、ステップ1~2と同じ条件で原子拡散接合する(ステップ4)。Si基板を水酸化カリウム水溶液でエッチング除去し、それによって露出したタングステンをCF₄ガスを用いたドライエッチングで除去して(ステップ5)、エピ層の転写が完了する。次にSiN膜をマスクとしてエピ層をウェットエッチングし、InP-DHBTのメサを順次形成する。引き続きエピ層のウェットエッチングによって露出したタングステンを、CF₄ガスを用いたドライエッチングで除去する(ステップ6)。次にSiNマスクをフッ酸水溶液で除去する(ステップ7)。エミッタ、ベース、コレクタ電極を真空蒸着で形成する(ステップ8)。この後に通常の配線形成工程を経て、SiC基板上へのInP-DHBT作製が完了する。

ステップ1. タングステンスパッタ



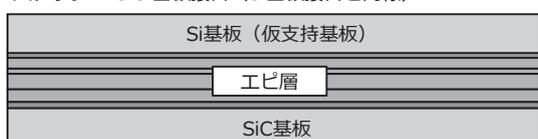
ステップ2. Si基板接合



ステップ3. InP基板除去



ステップ4. SiC基板接合 (Si基板接合同様)



ステップ5. Si基板、タングステン除去



ステップ6. メサ形成、タングステンエッチング



ステップ7. エッチングマスク除去



ステップ8. 電極形成

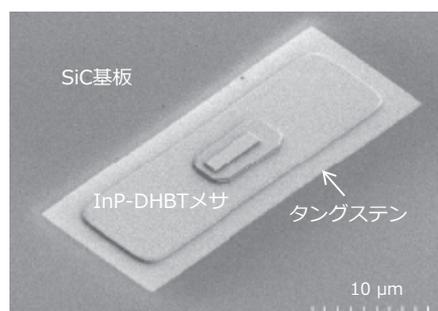


図1 作製フロー

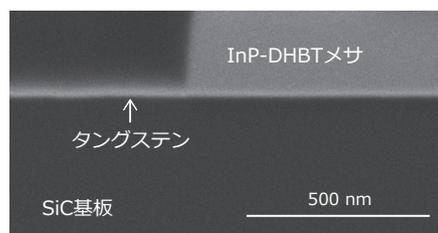
3. 試作結果

3-1 外観

図2 (a) にSiC基板上に形成されたInP-DHBTメサの走査型電子顕微鏡像を(図1のステップ7に対応)、図2 (b) に接合部断面の走査型電子顕微鏡像を示す。7 μm x 20 μmの微細なInP/InGaAsメサが、タングステン薄膜を介してSiC基板上に形成されていることが見て取れる。また、接合面であるタングステン中に、放熱性を悪化させる要因となるポイドや非接合面は見られず、良好な接合面が得られている。以下、本章ではSiC基板上InP-DHBTと従来のInP基板上InP-DHBTの特性比較結果を示す。



(a)



(b)

図2 走査型電子顕微鏡像
(a) SiC基板上に作製したInP-DHBTメサ
(b) 接合部断面

3-2 熱抵抗

放熱性の評価として、InP-DHBTの熱抵抗^{*5}測定を行った。本評価では、通常のシングルエミッタ構造に加えてマルチエミッタ構造の熱抵抗評価も併せて行った。マルチエミッタ構造は、エミッタを複数個並列に配置し、比較的大きな電流を流せるようにしたレイアウトであるが、大電流を流すことにより自己発熱量が大きくなるため、放熱性がよりいっそう重要となる。図3に熱抵抗の測定結果を示す。InP基板上に形成された従来のInP-DHBTと比較して、SiC基板上に作製したInP-DHBTでは40%以上の大幅な熱抵抗低減効果が得られている。特にマルチエミッタ構造で熱抵抗低減効果が大きくなっている。図4に示すように、InP-DHBTの発熱部からの放熱経路としては、大きく分けて基板側とメサ周辺への2つが考えられる。図4の(a)から(c)の順に示すように、エミッタ数を増やすほど基板側

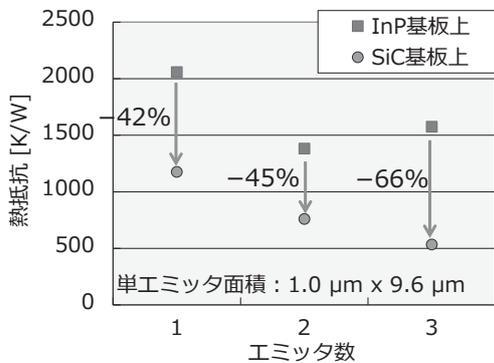


図3 熱抵抗測定結果

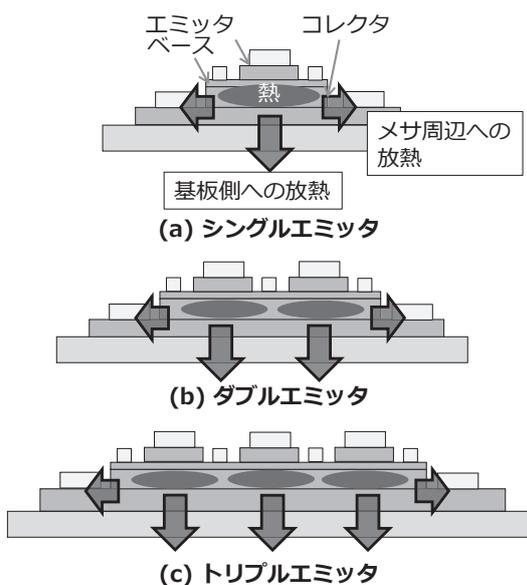


図4 放熱経路イメージ

への放熱割合が大きくなるため、基板の放熱性向上の効果が現れやすいと推定される。本技術は大電流を扱うマルチエミッタ構造において特に有効であるといえる。

3-3 DC特性

図5にInP-DHBTのガンメル特性^{*6}を示す。シングルエミッタ構造で、エミッタサイズは1.0 μm x 9.6 μmである。SiC基板上に作製したInP-DHBTの電流増幅率βは、InP基板上に形成された従来のInP-DHBTと同等であり、接合によるダメージなどの悪影響が出ていないと判断できる。図6にトリプルエミッタ構造の電流-電圧特性(エミッタ接地)を示す。単エミッタサイズは1.0 μm x 9.6 μmである。耐圧を評価するためにInP-DHBTが破壊されるまでコレクタ-エミッタ間電圧を掃引している(●印の点で破壊)。SiC基板上に作製したInP-DHBTでは、オン耐圧^{*7}が0.5~1.0 V改善している。また、大電力動作時の電流低下が抑制されている。これらの改善は放熱性向上の効果によるものと考えられる。

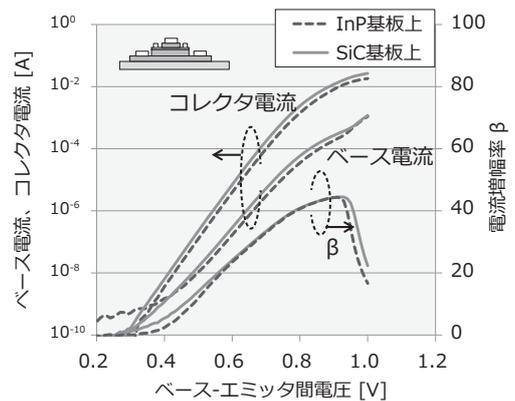


図5 ガンメル特性 (シングルエミッタ)

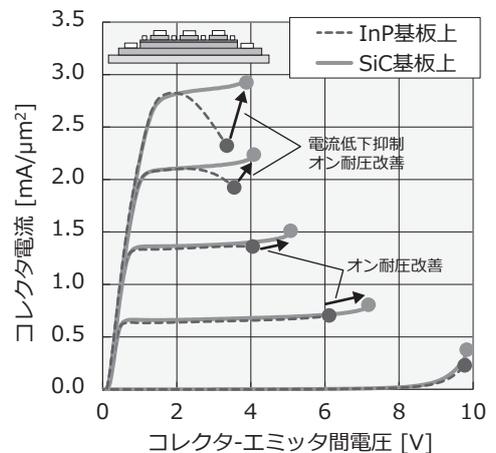


図6 エミッタ接地電流-電圧特性 (トリプルエミッタ)

3-4 高周波特性

図7に、高周波測定装置 (Keysight 8510C) を用いて10 GHzから40 GHzの周波数範囲で測定したSパラメータから算出した電流利得 ($|h_{21}|^2$) と最大単方向電力利得 (G_u) の周波数依存性を示す。測定したのはエミッタサイズ1.0 $\mu\text{m} \times 9.6 \mu\text{m}$ のシングルエミッタ構造で、パッド寄生容量は校正により除去している。SiC基板上に作製したInP-DHBTで、コレクタ-エミッタ間電圧 $V_{ce} = 2.0 \text{ V}$ 、コレクタ電流 $I_c = 18 \text{ mA}$ の印加条件において $f_T = 186 \text{ GHz}$ 、 $f_{max} = 212 \text{ GHz}$ が得られた。これは同グラフに白抜きマークで示す、InP基板上に形成された従来のInP-DHBTの高周波特性と同等であり、接合による劣化が起きていないと判断できる。

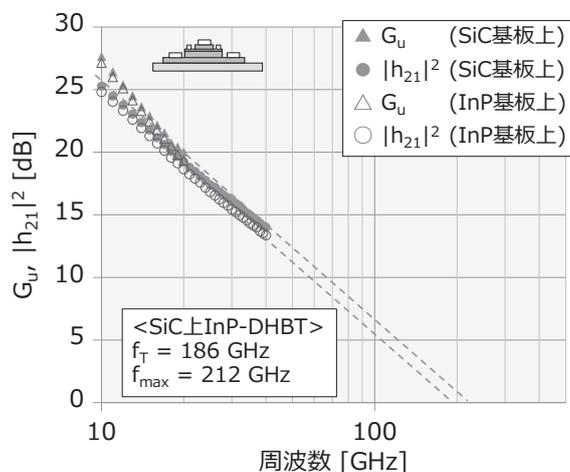


図7 高周波特性 (シングルエミッタ)

4. 結 言

放熱性向上によるデバイス特性改善を目的として、原子拡散接合を用いて高放熱のSiC基板上にInP-DHBTを作製した。放熱性の高いSiC基板上にデバイスを作製することにより、40%以上の大幅な熱抵抗低減効果が得られ、それによるオン耐圧の向上と大電力動作時の電流低下抑制効果を確認した。また、DC特性、高周波特性に異常がないことを確認し、基板接合プロセスを採用することによるデバイスへの悪影響がないことを示した。

今回の成果は大電流密度動作によるInP-DHBT高速化実現へ向けた第一歩といえる。今後は今回開発したInP-DHBTの信頼性評価を進め、本技術がデバイス寿命へ与える効果を確認する予定である。

5. 謝 辞

本研究は国立大学法人東北大学 学際科学フロンティア研究所の島津武仁教授との共同研究により行われたものである。ここに厚く御礼申し上げます。

用語集

※1 f_T, f_{max}

f_T (遮断周波数): 電流利得が1になる周波数
 f_{max} (最大発振周波数): 電力利得が1になる周波数
いずれもトランジスタの高速性の指標となる。

※2 BV_{ceo}

ベース開放時のコレクタ-エミッタ間耐圧。

※3 DHBT

Double Heterojunction Bipolar Transistorの略。高速性と高耐圧性に優れたトランジスタ。

※4 原子拡散接合

金属薄膜表面や粒界での原子拡散を利用した接合手法。常温、低加圧での接合が可能。

※5 熱抵抗

デバイス放熱性の指標。低いほど放熱性が高い。

※6 ガンメル特性

ベース-コレクタを同電位としたときのベース電流、コレクタ電流のベース-エミッタ間電圧依存性をプロットしたグラフ。コレクタ電流とベース電流の比が電流増幅率となる。

※7 オン耐圧

通電 (オン) 状態でのコレクタ-エミッタ間耐圧。

参 考 文 献

- (1) M. Yanagisawa, M. Watanabe, T. Kawasaki, H. Kobayashi, K. Kotani, R. Yamabi, Y. Tosaka, and D. Fukushi, "Highly-reliable and reproducible InGaAs/InP double heterojunction bipolar transistor utilizing all-wet etching process for triple mesa formation," Bipolar/BiCMOS Circuits and Technology Meeting, pp. 97-100 (2013)
- (2) 巽泰三, 「25G/40G 用電界吸収型変調器ドライバICの開発」、SEIテクニカルレビュー第180号 (2012年1月)
- (3) D. W. Scott, C. Monier, S. Wang, V. Radisic, P. Nguyen, A. Cavus, W. R. Deal, and A. Gutierrez-Aitken, "InP HBT transferred to higher thermal conductivity substrate," IEEE Electron Device Lett., vol. 33, no. 4, pp. 507-509 (Apr. 2012)
- (4) A. Thiam, Y. Roelens, C. Coinon, V. Avramovic, B. Grandchamp, D. Ducatteau, X. Wallart, C. Maneux, and M. Zaknour, "InP HBT thermal management by transferring to high thermal conductivity silicon substrate," IEEE Electron Device Lett., vol. 35, no. 10, pp. 1010-1012 (Oct. 2014)
- (5) T. Shimatsu and M. Uomoto, "Atomic diffusion bonding of wafers with thin nanocrystalline metal films," J. Vac. Sci. Technol. B, vol. 28, pp. 706-714 (2010)
- (6) T. Shimatsu, M. Uomoto, and H. Kon, "Room temperature bonding using thin metal films (bonding energy and technical potential)," ECS Transactions, vol. 64, no. 5, pp. 317-328 (2014)

執 筆 者

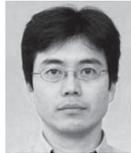
渡邊 昌崇* : 伝送デバイス研究所 主席



柳沢 昌輝 : 伝送デバイス研究所 主席
博士 (工学)



上坂 勝己 : 伝送デバイス研究所
プロジェクトリーダー



江川 満 : 伝送デバイス研究所 グループ長
博士 (工学)



小路 元 : 伝送デバイス研究所 部長
博士 (工学)



*主執筆者